

《数字逻辑与数字系统》期末考试试题 (A)

考试 注意 事项	一、学生参加考试须带学生证或学院证明, 未带者不准进入考场。学生必须按照监考教师指定座位就坐。								
	二、书本、参考资料、书包等物品一律放到考场指定位置。								
	三、学生不得另行携带、使用稿纸, 要遵守《北京邮电大学考场规则》, 有考场违纪或作弊行为者, 按相应规定严肃处理。								
	四、学生必须将答题内容做在试题答卷上, 做在草稿纸上一律无效。								
	五、学生的姓名、班级、学号、班内序号等信息由教材中心统一印制。								
考试 课程	数字逻辑与数字系统			考试时间		2010 年 1 月 18 日			
题号	一	二	三	四	五	六	七	八	总分
满分	10	10	15	15	10	15	15	10	
得分									
阅卷 教师									

一、选择题 (每小题 1 分, 共 10 分。)

1. $F = A \oplus B \oplus C$, A、B、C 取何值时, $F=1$ ()。

A. 011 B. 100 C. 101

2. 下列三个数对应的十进制数最大的是 ()。

A. $(30)_8$ B. $(10110)_2$ C. $(00101000)_{8421}$

3. 图 1 所示电路中描述错误的是 ()。

A. 状态变化发生在 CP 脉冲下降沿

B. $Q^{n+1} = Q^n$ C. $Q^{n+1} = \bar{Q}^n$

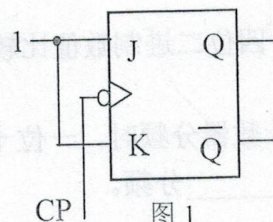


图 1

4. 二进制加法器自身 ()。

A. 只能做二进制数加运算 B. 只能做 8421BCD 码加运算 C. A 和 B 均可

5. 用方程式表示时序电路的逻辑功能, 需 ()。

A. 一个方程 B. 二个方程 C. 三个方程

6. 五个 D 触发器构成的扭环计数器, 计数器的模是 ()。

A. 10 B. 2^5 C. 5

学五复印店

7. 八路数据选择器如图 2 所示, 该电路所实现的逻辑函数是 ()。

A. $F = \sum_m(6, 8, 13, 14)$ B. $F = \sum_m(6, 8, 9, 13)$ C. $F = \sum_m(6, 7, 8, 9, 13, 14)$

8. 判断以下三组 VHDL 语言描述中 () 意义相同。

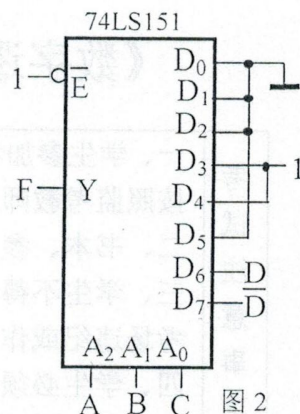
- A. $z \leq \text{not } X \text{ and not } Y$; 和 $z \leq \text{not } (X \text{ or } Y)$;
 B. $z \leq \text{not } (X \text{ or } Y)$; 和 $z \leq \text{not } X \text{ or not } Y$;
 C. $z \leq \text{not } X \text{ and } Y$; 和 $z \leq \text{not } (X \text{ and } Y)$;

9. 多路选择器构成的数据总线是 ()。

- A. 双向的 B. 单向的 C. A 和 B 都对

10. 断电之后, 能够将存储内容保存下来的存储器是 ()。

- A. 只读存储器 ROM; B. 随机存取存储器 RAM; C. 动态存取存储器 DRAM



二、填空题 (每小题 1 分, 共 10 分)

1. 异或门的一个输入端连接高电平, 则异或门变为_____门。

2. 用卡诺图化简时, 所画圈中必须是_____个相邻的 1。

3. 一般编码器的输入信号只能有一个有效电平, 但优先编码器却可以有多个有效信号电平, 可是优先编码器只对_____进行编码。

4. 驱动七段数码管的译码器有_____数据输出端。

5. 多片四位二进制数值比较器连接起来之后, 应从_____的 $A < B$, $A = B$, $A > B$ 端输出。

6. 用计数器分频时, 一位十进制计数器能够十分频, 而用四位二进制计数器分频时, 则能够_____分频。

7. 计数器能够自启动是指无效状态能够在 CP 作用下_____。

8. 芯片 2716 为 2048×8 EPROM。芯片 2716 有_____条数据线, 有_____条地址线。

9. VHDL 的各种并行语句在结构体中的执行是_____。

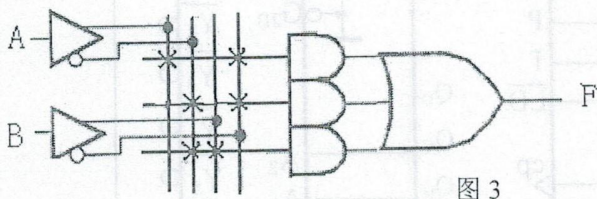
10. ASM 图状态框中的文字表示在这个状态要执行的_____。

三、简答题（每小题 5 分，共 15 分）

1、化简 $F = \overline{AC} + \overline{ABC} + \overline{BC} + ABC$ (5 分)

输出	输入							
A	B	C	D	E	F	G	H	I
1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1

2、分析如图 3 所示的逻辑电路图，写出输出逻辑函数表达式。(5 分)。



3、画出 01011 序列检测器的状态转移图，X 为序列输入，Z 为检测输出。(序列不重叠) (5 分)

四、综合分析题 (15 分)

四位二进制同步计数器 74LS163 与 3:8 译码器 74LS138 的连接电路如图 4。

回答如下问题：

1. 描述 74LS138 工作过程；
2. 描述 74LS163 的清零功能；
3. 图 4 构成模几计数器？
4. 画出图 4 计数器状态变化图；
5. 图 4 采用了中规模集成计数器构成任意进制计数器的什么方法？
(复位法、预置法)

74LS163 功能表												
输入									输出			
$\overline{\text{Cr}}$	$\overline{\text{LD}}$	P	T	cp	D ₃	D ₂	D ₁	D ₀	Q _D	Q _C	Q _B	Q _A
L	×	×	×	↑	×	×	×	×	L	L	L	L
H	L	×	×	↑	d ₃	d ₂	d ₁	d ₀	d ₃	d ₂	d ₁	d ₀
H	H	H	H	↑	×	×	×	×	计 数			

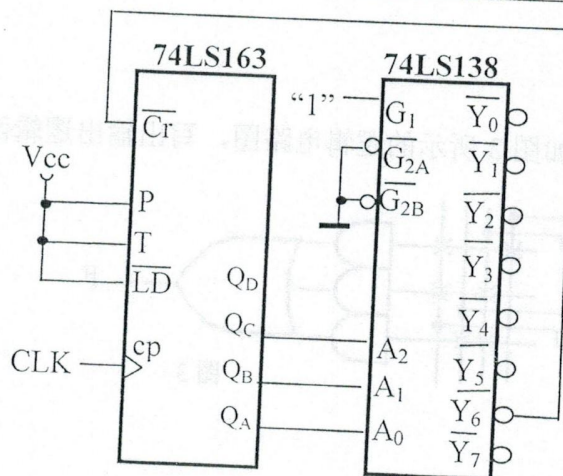


图 4

五、组合电路设计 (10 分)

旅客列车分为特快 A, 直快 B 和慢车 C, 它们的优先顺序为: 特快、直快、慢车。在同一时间内, 只能有一趟列车从车站开出, 即只能给出一个开车信号。设计满足上述要求的开车信号控制电路。

1. 定义输入和输出逻辑变量;
2. 列出真值表;
3. 根据卡诺图写出输出最简“与或”表达式;
4. 用适当门电路设计该电路。

六、时序电路设计 (15 分)

设计一个计数器，在 CLK 脉冲作用下 $Q_3Q_2Q_1$ 及输出 Z 的波形如图 5 所示。

1. 确定边沿触发的形式；
2. 画状态转移图；
3. 写状态转移表；
4. 写状态方程、激励方程 (D 触发器)、输出方程；
5. 画出电路图。

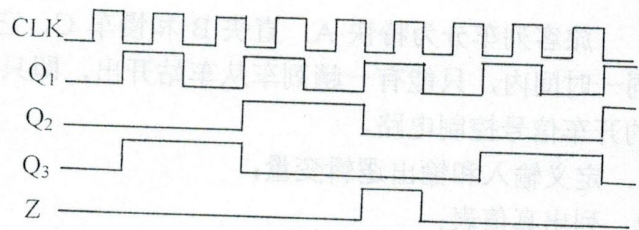


图 5

七、硬件描述语言设计 (15 分)

用 VHDL 语言设计一个如图 6 所示六段显示的驱动译码器。它是为了显示图 6 所示的六个符号中的一个，实线表示亮，虚线表示不亮（图中 e 是垂直线，f 是水平线）。设计的器件有三个输入 A、B、C 及六个输出 a、b、c、d、e、f。图中表示的三位数是输入码，即译码器接收三位码，使适当的段亮。每一段的驱动电位是高电平。

写出完整的设计源程序。

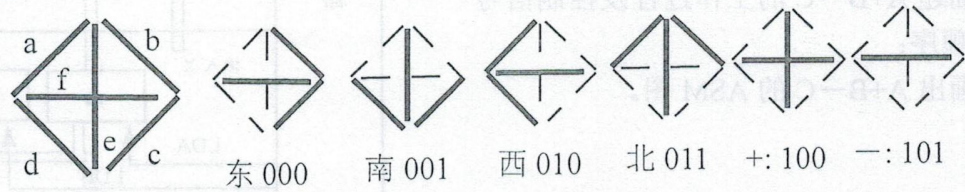


图 6

八、分析题（10 分）

某数字系统的结构如图 7 所示。

1. 列出全部控制信号；
2. A、B、C 为何种器件？
3. 门 1、2、3、4 为何种门？
4. 描述 $A+B \rightarrow C$ 的工作过程及控制信号的顺序；
5. 画出 $A+B \rightarrow C$ 的 ASM 图。

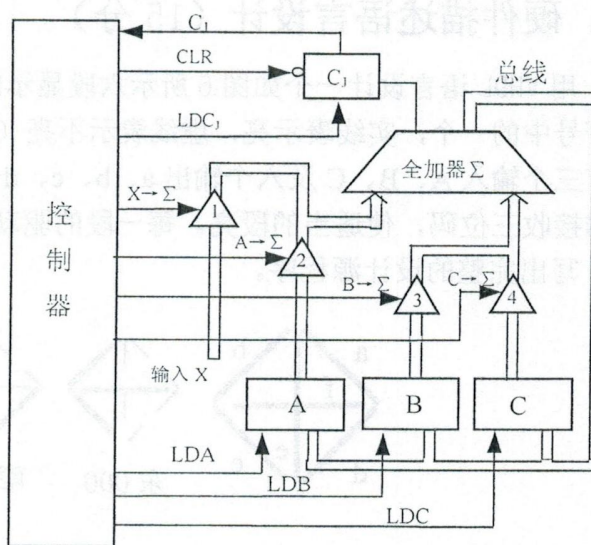


图 7

《数字逻辑与数字系统》期末考试答案 (B)

一、选择题 (每小题 1 分, 共 10 分。)

1. $F = A \oplus B \oplus C$, A、B、C 取何值时, $F=1$ (B)。

A. 011 B. 100 C. 101

2. 下列三个数对应的十进制数最大的是 (C)。

A. $(30)_8$ B. $(10110)_2$ C. $(00101000)_{8421}$

3. 图 1 所示电路中描述错误的是 (B)。

A. 状态变化发生在 CP 脉冲下降沿

B. $Q^{n+1} = Q^n$ C. $Q^{n+1} = \bar{Q}^n$

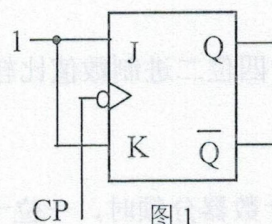


图 1

4. 二进制加法器自身 (A)。

A. 只能做二进制数加运算 B. 只能做 8421BCD 码加运算 C. A 和 B 均可

5. 用方程式表示时序电路的逻辑功能, 需 (C)。

A. 一个方程 B. 二个方程 C. 三个方程

6. 五个 D 触发器构成的扭环计数器, 计数器的模是 (A)。

A. 10 B. 2^5 C. 5

7. 八路数据选择器如图 2 所示, 该电路所实现的逻辑函数是 (C)。

A. $F = \sum_m(6, 8, 13, 14)$ B. $F = \sum_m(6, 8, 9, 13)$ C. $F = \sum_m(6, 7, 8, 9, 13, 14)$

8. 判断以下三组 VHDL 语言描述中 (A) 意义相同。

A. $z \leq \text{not } X \text{ and not } Y$; 和 $z \leq \text{not } (X \text{ or } Y)$;

B. $z \leq \text{not } (X \text{ or } Y)$; 和 $z \leq \text{not } X \text{ or not } Y$;

C. $z \leq \text{not } X \text{ and } Y$; 和 $z \leq \text{not } (X \text{ and } Y)$;

9. 多路选择器构成的数据总线是 (B)。

A. 双向的 B. 单向的 C. A 和 B 都对

10. 断电之后, 能够将存储内容保存下来的存储器是 (A)。

A. 只读存储器 ROM; B. 随机存取存储器 RAM; C. 动态存取存储器 DRAM

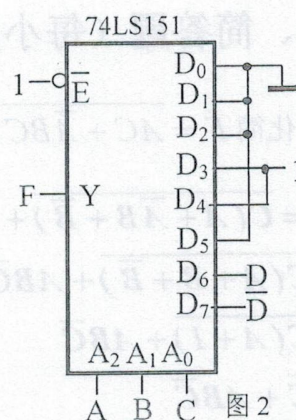


图 2

二、填空题 (每小题 1 分, 共 10 分)

1. 异或门的一个输入端连接高电平，则异或门变为非门。
2. 用卡诺图化简时，所画圈中必须是2ⁿ个相邻的1。
3. 一般编码器的输入信号只能有一个有效电平，但优先编码器却可以有多个有效信号电平，可是优先编码器只对优先级别最高的一个信号进行编码。
4. 驱动七段数码管的译码器有7个数据输出端。
5. 多片四位二进制数值比较器连接起来之后，应从最高位的 $A < B$, $A = B$, $A > B$ 端输出。
6. 用计数器分频时，一位十进制计数器能够十分频，而用四位二进制计数器分频时，则能够16分频。
7. 计数器能够自启动是指无效状态能够在 CP 作用下自动进入有效循环(有效状态)。
8. 芯片 2716 为 2048×8 EPROM。芯片 2716 有8条数据线，有11条地址线。
9. VHDL 的各种并行语句在结构体中的执行是并行的。
10. ASM 图状态框中的文字表示在这个状态要执行的操作。

三、简答题（每小题 5 分，共 15 分）

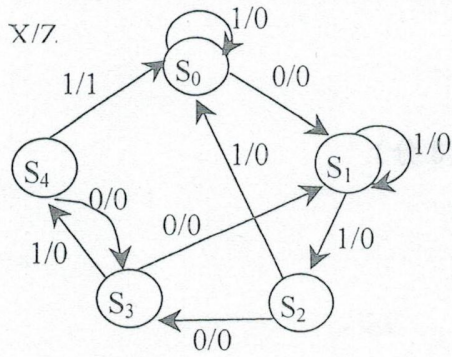
- 1、化简 $F = \overline{AC} + \overline{ABC} + \overline{BC} + ABC$ （5 分）

$$\begin{aligned}
 F &= \overline{C(A + \overline{AB} + \overline{B})} + ABC \\
 &= \overline{C(A + B + \overline{B})} + ABC \\
 &= \overline{C(A + 1)} + ABC \\
 &= \overline{C} + ABC \\
 &= \overline{C}
 \end{aligned}$$

- 2、分析如图 3 所示的逻辑电路图，写出输出逻辑函数表达式。（5 分）。

$$F = \overline{AB} + \overline{A}\overline{B} + \overline{A}B$$

3、画出 01011 序列检测器的状态转移图，X 为序列输入，Z 为检测输出。(序列不重叠) (5 分)



四、综合分析题 (15 分)

1. (3 分) 当 $G_1=1, G_{2A}G_{2B}=0$ 时, 74LS138 工作。

$A_2A_1A_0=000$ $Y_0=0$

$A_2A_1A_0=001$ $Y_1=0$

.....

$A_2A_1A_0=111$ $Y_7=0$

2. (3 分) 74LS163 是异步清零。

3. (3 分) 模 7 计数器

4. (3 分) $0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow 4 \rightarrow 5 \rightarrow 6 \rightarrow 0$

5. (3 分) 复位法

五、组合电路设计 (10 分)

(2 分) 输入 ABC, 输出 $F_1F_2F_3$

(2 分)

ABC	$F_1F_2F_3$
000	000
001	001
010	010
011	010
100	100
101	100
110	100
111	100

(3 分) $F_1=A$

$$F_2 = \overline{A}B$$

$$F_3 = \overline{A}BC$$

(3 分) 画图

学五复印店

六、时序电路设计 (15 分)

1. 下降沿 (3 分)

2. $000 \rightarrow 101 \rightarrow 100 \rightarrow 011 \rightarrow 010 \rightarrow 001 \rightarrow 000$ (3 分)

3. (3 分)

$Q_3^n Q_2^n Q_1^n$	$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1}$	Z
000	101	0
101	100	0
100	011	0
011	010	0
010	001	0
001	000	1

4. (3 分) $Q_3^{n+1} = \overline{Q_3^n} \overline{Q_2^n} \overline{Q_1^n} + Q_3^n Q_2^n$ $Q_2^{n+1} = Q_3^n \overline{Q_2^n} \overline{Q_1^n} + Q_2^n Q_1^n$ $Q_1^{n+1} = \overline{Q_1^n}$

$D_3 = \overline{Q_3^n} \overline{Q_2^n} \overline{Q_1^n} + Q_3^n Q_2^n$ $D_2 = Q_3^n \overline{Q_2^n} \overline{Q_1^n} + Q_2^n Q_1^n$ $D_1 = \overline{Q_1^n}$

$Z = \overline{Q_3^n} \overline{Q_2^n} Q_1^n$

5 画图 (3 分) D 触发器一定是用下降沿触发符号。

七、硬件描述语言设计 (15 分)

LIBRARY IEEE;

USE IEEE.std_logic_1164.ALL;

ENTITY se6 IS

PORT (X, Y, Z : IN std_logic;
A, B, C, D, E, F : OUT std_logic);

END se6;

ARCHITECTURE se6_arc OF se6 IS

BEGIN

PROCESS (X, Y, Z)

BEGIN

IF (X = '0' AND Y = '0' AND Z = '0') THEN

B <= '1'; C <= '1'; F <= '1';

A <= '0'; D <= '0'; E <= '0';

ELSIF (X = '0' AND Y = '0' AND Z = '1') THEN

C <= '1'; D <= '1'; E <= '1';

学五复印店

```

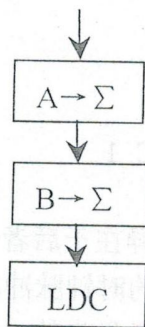
A <= '0'; B <= '0'; F <= '0';
ELSIF (X = '0' AND Y = '1' AND Z = '0') THEN
A <= '1'; D <= '1'; F <= '1';
B <= '0'; C <= '0'; E <= '0';
ELSIF (X = '0' AND Y = '1' AND Z = '1') THEN
A <= '1'; B <= '1'; E <= '1';
C <= '0'; D <= '0'; F <= '0';
ELSIF (X = '1' AND Y = '0' AND Z = '0') THEN
E <= '1'; F <= '1'; A <= '0';
B <= '0'; C <= '0'; D <= '0';
ELSIF (X = '1' AND Y = '0' AND Z = '1') THEN
F <= '1'; A <= '0'; B <= '0';
C <= '0'; D <= '0'; E <= '0';
END IF;
END PROCESS;
END se6_arc;

```

八、分析题 (10 分)

1. LDA、LDB、LDC、 $X \rightarrow \Sigma$ 、 $A \rightarrow \Sigma$ 、 $B \rightarrow \Sigma$ 、 $C \rightarrow \Sigma$ 、LDC_J、CLR (2 分)
2. 寄存器 (2 分)
3. 三态门 (2 分)
4. (2 分) 使得 $A \rightarrow \Sigma$ 有效打开三态门 2, 使得 $B \rightarrow \Sigma$ 有效打开三态门 3, 使得 LDC 有效将 $A+B$ 的结果打入数据寄存器 C。

5. (2 分)



北京邮电大学 2008—2009 学年第一学期

《数字逻辑与数字系统》期末考试试题 (A)

考试 注意 事项	一、学生参加考试须带学生证或学院证明, 未带者不准进入考场。学生必须按照监考教师指定座位就坐。 二、书本、参考资料、书包等物品一律放到考场指定位置。 三、学生不得另行携带、使用稿纸, 要遵守《北京邮电大学考场规则》, 有考场违纪或作弊行为者, 按相应规定严肃处理。 四、学生必须将答题内容做在试题答卷上, 做在草稿纸上一律无效。 五、学生的姓名、班级、学号、班内序号等信息由教材中心统一印制。								
考试 课程	数字逻辑与数字系统			考试时间		2009 年 1 月 13 日			
题号	一	二	三	四	五	六	七	八	总分
满分	10	20	10	10	10	12	14	14	
得分									
阅卷 教师									

一、选择题 (每小题 1 分, 共 10 分。)

- $F = A(\bar{A} + B) + B(B + C + D) = (\quad)$
 A. B B. A+B C. 1 D. AB
- 同步时序电路和异步时序电路比较, 其差异在于后者 ()
 A. 没有稳定状态 B. 没有统一的时钟脉冲控制
 C. 输入数据是异步的 D. 输出数据是异步的
- $(10000011)_{8421BCD}$ 的二进制码为 ()。
 A. $(10000011)_2$ B. $(10100100)_2$ C. $(1010011)_2$ D. $(11001011)_2$
- 74LS85 为四位二进制数据比较器。如果只进行 4 位数据比较, 那么三个级联输入端 $a < b$ 、 $a > b$ 、 $a = b$ 应为 ()。
 A. $a < b$ 接地, $a > b$ 接地, $a = b$ 接地
 B. $a < b$ 接高电平, $a > b$ 接高电平, $a = b$ 接高电平
 C. $a < b$ 接高电平, $a > b$ 接高电平, $a = b$ 接地
 D. $a < b$ 接地, $a > b$ 接地, $a = b$ 接高电平

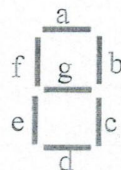
5. N 个触发器可以构成能寄存 () 位二进制数码的寄存器。
A. N B. $2N$ C. 2^N D. N^2
6. 时序电路中对于自启动能力的描述是 ()。
A. 无效状态自动进入有效循环, 称为具有自启动能力。
B. 无效状态在时钟脉冲作用下进入有效循环, 称为具有自启动能力。
C. 有效状态在时钟脉冲作用下进入有效循环, 称为具有自启动能力。
D. 有效状态自动进入有效循环, 称为具有自启动能力。
7. 数字系统的设计需要用到 ASM 图, 它是设计 () 的重要工具。
A. 运算器 B. 寄存器 C. 控制器 D. 存储器
8. 四位超前进位加法器 74LS283 提高了工作速度, 原因在于 ()。
A. 各位的进位是快速传递的 B. 它是四位串行进位加法器
C. 内部具有四个全加器 D. 各位的进位是同时形成的
9. ispLSI 系列器件是 () 的高密度 PLD 产品。
A. 基于与或阵列结构 B. 基于或阵列结构
C. 基于全译码结构 D. 基于可编程数字开关
10. 设计一个存储器, 其地址线有 14 条 ($A_0 \sim A_{13}$)、数据线有 $D_0 \sim D_7$ 。现有芯片 $32K \times 8$ 、 $8K \times 2$ 、 $14K \times 4$ 、 $16K \times 4$ 。确定正确方案为 ()。
A. $14K \times 4$ 二片 B. $8K \times 2$ 八片 C. $32K \times 8$ 一片 D. $16K \times 4$ 四片

二、填空题 (每小题 2 分, 共 20 分)

1. 三态门的三种状态是指_____、_____、_____。
2. 欲使 JK 触发器按 $Q_{n+1} = \overline{Q_n}$ 工作, 应使输入 $J = (\quad)$ 、 $K = (\quad)$ 。
3. 与最小项 $\overline{A}\overline{B}CD$ 相邻的最小项有_____个, 是_____。
4. 数据传输中接收及发送方约定采用偶校验。接收方收到这样一组数据 $(111001010)_2$ (最后一位为监督码元), 数据是_____ (正确/错误) 的。

5. 由发光二极管组成的七段数码显示器, 当采用共阳极接法时,

若 $a \sim g = 0100100$, 则显示的数字是_____。



6. 一个由 74LS138 构成的逻辑电路如图 1 所示, 函数 F 的最小项表达式

为_____。

7. 可编程、可擦除 ROM 有两种芯片, 一种是 EPROM, 另一种是_____。

8. 可编程逻辑阵列 PLA 的内部结构是, 与阵列_____、或阵列_____。

9. VHDL 语言编程中结构体的三种描述方式分别为_____、_____、_____。

10. 在数字系统中_____提供信息传输功能。

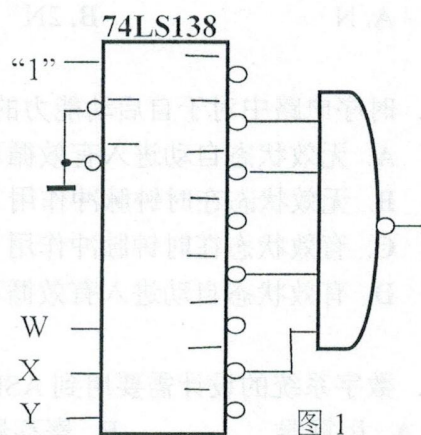


图 1

三、组合逻辑分析 (10 分)

可控函数发生器如图 2 所示, 其中 C_1 、 C_2 为控制端, A 和 B 为输入变量, F 为输出变量。

1. 写出输出函数 $F(A, B, C_1, C_2)$ 的逻辑表达式;

2. 当 C_1 、 C_2 的取值如表 4, 写出 F 与 A、B 的逻辑关系填入表 4 中。

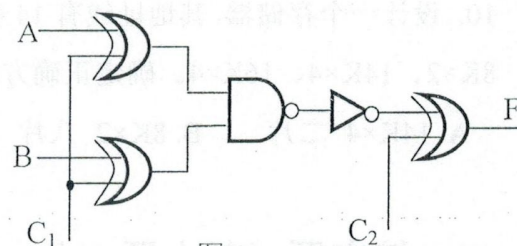


图 2

表 4

C_1	C_2	$F=f(A, B)$
0	0	
0	1	
1	0	
1	1	

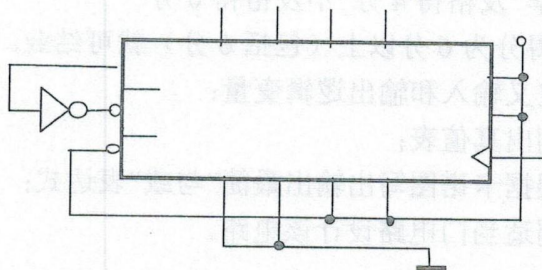
四、时序电路分析 (10 分)

十进制同步计数器

74LS162 改变模值的连接电路如图 3。CO 是进位输出信号，当 $Q_D Q_C Q_B Q_A = 1001$ 时， $CO = 1$ 。

回答如下问题：

1. 图 3 构成模几计数器？
2. 状态变化过程是什么？
3. 图 3 采用了中规模集成计数器构成任意进制计数器的什么方法？
(复位法、预置法)



五、组合电路设计（10 分）

设计一个能判断某同学是否结业的逻辑电路，参加四门考试，规定如下：

☆政治 及格得 1 分 不及格得 0 分

☆理化 及格得 2 分 不及格得 0 分

☆英语 及格得 3 分 不及格得 0 分

☆数学 及格得 4 分 不及格得 0 分

若总得分为 6 分以上（包括 6 分）就可结业。要求：

1. 定义输入和输出逻辑变量；
2. 列出真值表；
3. 根据卡诺图写出输出最简“与或”表达式；
4. 用适当门电路设计该电路。

六、时序电路设计 (12 分)

设计一个 1011 序列检测器(序列不重叠), X 为输入信号, Z 为输出信号。

1. 画状态转移图;
2. 确定最少用几个 D 触发器;
3. 写状态转移表;
4. 写状态方程、激励方程、输出方程。

七、硬件描述语言设计（14 分）

采用 VHDL 语言设计一个计数监视电路图 4 所示。
8421BCD 码十进制计数器处于计数状态，当其计数值
能被 2 整除时，该监视电路输出 1，否则输出 0。

写出完整的设计源程序。

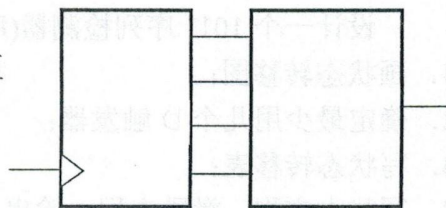


图 4

八、小型控制器设计 (14 分)

某数字系统的 ASM 图如图 5 所示，设计多路选择器型控制器电路。

1. 列出状态转移真值表；
2. 写出多路选择器 MUX 的输入表达式；
3. 写出控制命令 Z1、Z2、Z3 的表达式；
4. 画出控制电路图。

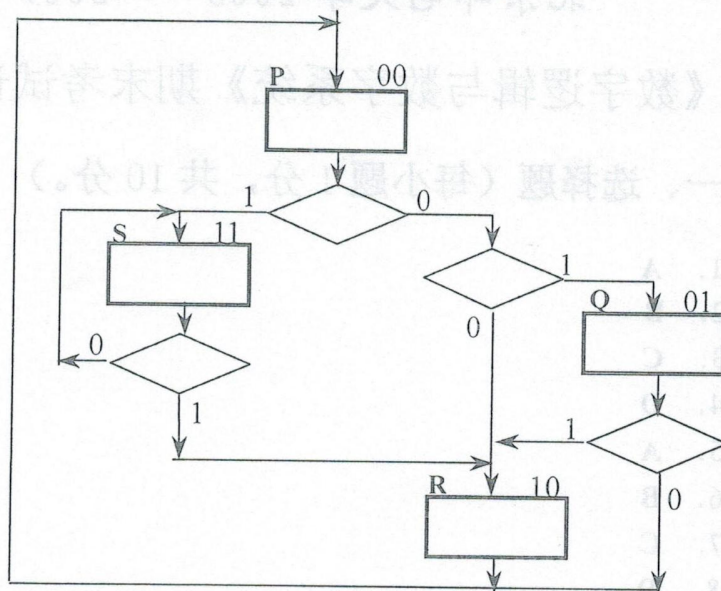


图 5

北京邮电大学 2008—2009 学年第一学期

《数字逻辑与数字系统》期末考试试题 (A) 答案

一、选择题 (每小题 1 分, 共 10 分。)

1. A
2. B
3. C
4. D
5. A
6. B
7. C
8. D
9. A
10. B

二、填空题 (每小题 2 分, 共 20 分)

1. 0、1、高阻。(低电平、高电平、高阻)
2. 1、1。
3. 4, $\overline{ABCD}, \overline{ABCD}, \overline{ABCD}, \overline{ABCD}$ (0、3、5、9)。
4. 错误。
5. 5。
6. $F(W, X, Y) = \sum(1, 2, 4, 6)$
7. EEPROM。
8. 可编程、可编程。
9. 数据流描述方式、结构描述方式、行为描述方式。
10. 数据通路。(总线)

三、组合逻辑分析 (10 分)

1. $F = [(A \oplus C_1)(B \oplus C_1)] \oplus C_2$; (2 分)

2.

表 4

C1	C2	$F=f(A,B)$	
0	0	AB	2 分
0	1	\overline{AB}	2 分
1	0	$A+B$	2 分
1	1	$A+B$	2 分

四、时序电路分析 (10 分)

- (4 分) 构成模 7 计数器。
- (4 分) $3 \rightarrow 4 \rightarrow 5 \rightarrow 6 \rightarrow 7 \rightarrow 8 \rightarrow 9 \rightarrow 3$
- (2 分) 预置法

五、组合电路设计 (10 分)

- (2 分) 定义输入和输出逻辑变量; A=政治, B=理化, C=英语, D=数学。
1 及格, 0 不及格。F=输出 1 结业, 0 不结业
- (3 分) 列出真值表;

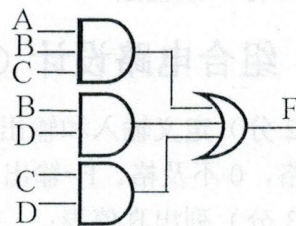
A (1)	B (2)	C (3)	D (4)	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

3. (3 分) 根据卡诺图写出输出最简“与或”表达式;

AB \ CD	00	01	11	10
00				
01		1	1	
11	1	1	1	1
10			1	

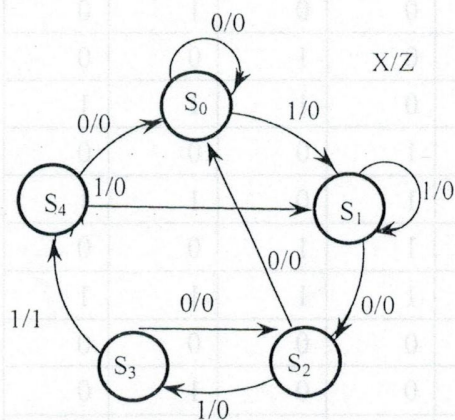
$$F = BD + CD + ABC$$

4. (2 分) 用适当门电路设计该电路。



六、时序电路设计 (12 分)

1. (3 分) 画状态转移图;



2. (3 分) 确定最少用几个 D 触发器; (状态化简)

	X=0	X=1
S0	S0/0	S1/0
S1	S2/0	S1/0
S2	S0/0	S3/0
S3	S2/0	S4/1
S4	S0/0	S1/0

合并

	X=0	X=1
S0	S0/0	S1/0
S1	S2/0	S1/0
S2	S0/0	S3/0
S3	S2/0	S0/1

用两个 D 触发器。

3. (3 分)写状态转移表:

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1}$	Z	条件
00(S0)	00	0	\overline{X}
	01	0	X
01(S1)	11	0	\overline{X}
	01	0	X
11(S2)	00	0	\overline{X}
	10	0	X
10(S3)	11	0	\overline{X}
	00	1	X

4. (3 分)写状态方程、激励方程、输出方程。

$$Q_1^{n+1} = \overline{Q_1^n} \overline{Q_0^n} \overline{X} + Q_1^n Q_0^n X + Q_1^n \overline{Q_0^n} \overline{X}$$

$$Q_0^{n+1} = \overline{Q_1^n} X + \overline{Q_1^n} Q_0^n + Q_1^n \overline{Q_0^n} \overline{X}$$

$$D1 = \overline{Q_1^n} \overline{Q_0^n} \overline{X} + Q_1^n Q_0^n X + Q_1^n \overline{Q_0^n} \overline{X}$$

$$D0 = \overline{Q_1^n} X + \overline{Q_1^n} Q_0^n + Q_1^n \overline{Q_0^n} \overline{X}$$

$$Z = Q_1^n \overline{Q_0^n} X$$

七、硬件描述语言设计 (14 分)

```
LIBRARY IEEE;
USE IEEE.std_logic_1164.ALL;
USE IEEE.std_logic_arith.ALL;
```

ENTITY test IS

```
    PORT (clk: IN  std_logic;
          Y  : OUT std_logic);
```

END test;

ARCHITECTURE test_arc OF test IS

```
    signal q : std_logic_vector(3 DOWNTO 0);
```

BEGIN

```
    PROCESS (clk)
```

```
    BEGIN
```

```
        IF (clk'event AND clk = '1') THEN
```

```
            IF (q = "1001") THEN
```

```
                q <= "0000";
```

```
            else
```

```
                q <= q+1;
```

```
            END IF;
```

```
        END IF;
```

```
    END PROCESS;
```

```
    PROCESS (q)
```

```
    BEGIN
```

```
        case q is
```

```
            WHEN "0000" => Y <= '1';
```

```
            WHEN "0010" => Y <= '1';
```

```
            WHEN "0100" => Y <= '1';
```

```
            WHEN "0110" => Y <= '1';
```

```
            WHEN "1000" => Y <= '1';
```

```
            WHEN OTHERS => Y <= '0';
```

```
        END case
```

```
    END PROCESS;
```

END test_arc;

1=X	0=X	
012	002	02
012	012	12
012	002	22
002	012	22

器宽线 0 个画眼

器宽线 0 个画眼

1=X	0=X	012	002
012	002	012	002
012	002	012	002
012	002	012	002
012	002	012	002
012	002	012	002
012	002	012	002
012	002	012	002
012	002	012	002
012	002	012	002

器宽线 0 个画眼

器宽线 0 个画眼

器宽线 0 个画眼

器宽线 0 个画眼

器宽线 0 个画眼

器宽线 0 个画眼

八、小型控制器设计 (14 分)

1 (4 分) 列出状态转移真值表;

PS	NS		输出
00	11	X	Z1
	01	$\overline{X}Y$	
	10	$\overline{X}\overline{Y}$	
01	00	\overline{X}	Z3
	10	X	
10	00		Z1
11	11	\overline{Y}	Z2
	10	Y	

2. (4 分) 写出多路选择器 MUX 的输入表达式;

$$MAX1(0) = X + \overline{X}Y$$

$$MAX1(1) = X$$

$$MAX1(2) = 0$$

$$MAX1(3) = 1$$

$$MAX0(0) = X + \overline{X}Y$$

$$MAX0(1) = 0$$

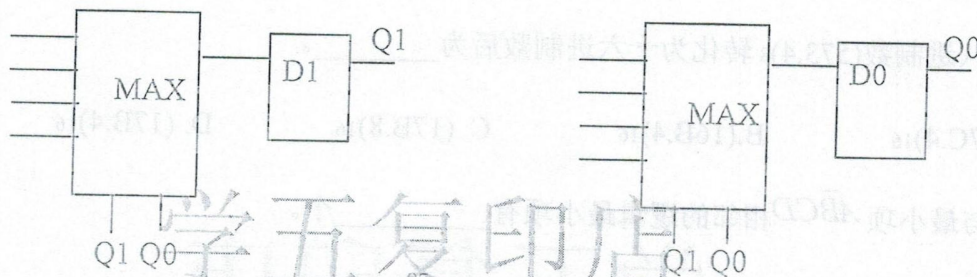
$$MAX0(1) = 0$$

$$MAX0(3) = \overline{Y}$$

3. (3 分) 写出控制命令 Z1、Z2、Z3 的表达式;

$$Z1 = \overline{Q_1}\overline{Q_0} + Q_1\overline{Q_0} \quad Z2 = Q_1Q_0 \quad Z3 = \overline{Q_1}Q_0$$

4. (3 分) 画出控制电路图。



北京邮电大学 2007—2008 学年第一学期

《数字逻辑与数字系统》期末考试试题 (A)

考试 注意 事项	一、学生参加考试须带学生证或学院证明，未带者不准进入考场。学生必须按照监考教师指定座位就坐。 二、书本、参考资料、书包等与考试无关的东西一律放到考场指定位置。 三、学生不得另行携带、使用稿纸，要遵守《北京邮电大学考场规则》，有考场违纪或作弊行为者，按相应规定严肃处理。 四、所有试题写在答题纸上，试卷与答卷均上交。								
考试 课程				考试时间		年 月 日			
题号	一	二	三	四	五	六	七	八	总分
满分									
得分									
阅卷 教师									

一、选择题 (每小题 1 分，共 20 分。答案写在答题纸上)

1. 下列函数中，与 $(A+B)(A+C)$ 等价的逻辑函数是

- A. $F=AB$ B. $F=A+B$ C. $F=A+BC$ D. $F=B+C$

2. 函数 F 的卡诺图如表 1-1。其最简与或表达式是

- A. $F = \overline{A}BD + \overline{A}B\overline{D} + A\overline{C}D$
 B. $F = \overline{A}BC + \overline{A}C\overline{D} + \overline{A}B\overline{D}$
 C. $F = \overline{A}B\overline{C} + \overline{A}BD + A\overline{C}D$
 D. $F = \overline{A}BD + \overline{A}B\overline{D} + \overline{A}B\overline{D}$

AB CD	00	01	11	10
00		1		1
01	1			
11	1			
10		1		1

表 1-1

3. 八进制数 $(573.4)_8$ 转化为十六进制数后为_____。

- A. $(17C.4)_{16}$ B. $(16B.4)_{16}$ C. $(17B.8)_{16}$ D. $(17B.4)_{16}$

4. 与最小项 $\overline{A}BCD$ 相邻的逻辑最小项有_____个。

- A. 1 B. 2 C. 4 D. 15

5. 下列电路中，不属于组合逻辑电路的是

- (A) 编码器; (B) 译码器; (C) 数据选择器; (D) 计数器。

6. 图 1-1 为数据选择器构成的函数发生器，其输出逻辑 Y 等于

- (A) $Y = AB$; (B) $Y = \overline{A}B$;

- (C) $Y = A$; (D) $Y = B$ 。

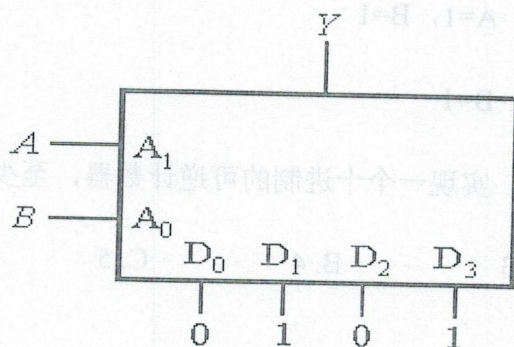


图 1-1

7. 图 1-2 所示的译码显示电路中，输入 $Q_3Q_2Q_1Q_0$ 为 8421BCD 码。设显示信号高电平有效，

则此刻 $L_a L_b L_c L_d L_e L_f L_g =$

- A. 0110000 B. 0000110
C. 0000000 D. 1111111

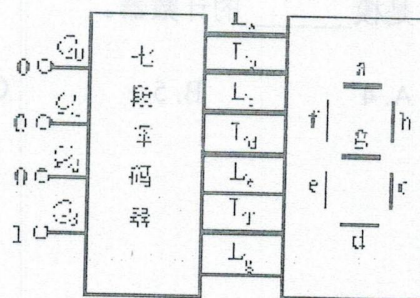


图 1-2

8. 图 1-3 为某 RS 触发器，此时 Q 的状态为

- (A) 0; (B) 1;
(C) 保持; (D) 不定。

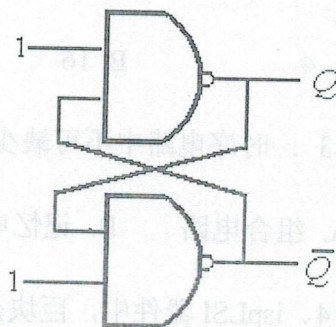


图 1-3

9. 图 1-4 中, 经 CP 脉冲作用后欲使 $Q^{n+1} = \overline{Q^n}$, 则 A、B 输入应为_____。

- A. A=0,B=0
- B. A=0,B=1
- C. A=1, B=1
- D. B=1

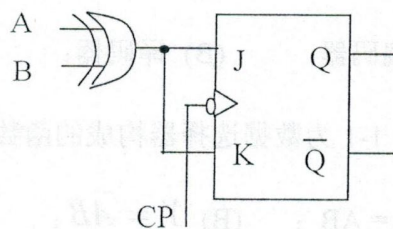


图 1-4

10. 实现一个十进制的可逆计数器, 至少需要_____个触发器。

- A. 3
- B. 4
- C. 5
- D. 6

11. 某时序电路的状态转移如表 1-2, 该电路是模_____的计数器。

- A. 4
- B. 5
- C. 6
- D. 8

PS			NS			Z
Q_3	Q_2	Q_1	Q_3	Q_2	Q_1	
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	0	0	0	1
1	0	1	1	1	0	0
1	1	0	0	1	0	1
1	1	1	1	0	1	0

表 1-2

12. 4 个触发器构成的环形计数器, 最多可有_____个有效状态。

- A. 4
- B. 16
- C. 8
- D. 10

13. 时序电路中不可缺少的部分为

- A. 组合电路
- B. 记忆电路
- C. 同步时钟信号
- D. 组合电路和记忆电路

14. ispLSI 器件中, 巨块是指_____。

- A. GLB
- B. 全局布线区
- C. 输出逻辑宏单元
- D. GLB 及对应的 ORC、IOC 的总和。

15. 一个 ispLSI1032 中, 共有_____个通用逻辑块。

A. 4 B. 8 C. 32 D. 64

16. HDL 编程时, 括号可以改变运算次序, 如设 $A=(010)_2$ 、 $B=(100)_2$, 则 $A\#(B\$A)$ 的结果为_____

A. $(100)_2$ B. $(010)_2$ C. $(110)_2$ D. $(011)_2$

17. 数字系统的初步设计通常指

A 设计控制器 B 设计 ASM 图 C 子系统的设计 D 子系统的划分

18. 某 RAM 的地址寄存器字长为 10, 数据寄存器字长 8, 则存储容量为

A 256 个存储单元 B 256×10 个存储单元 C 1024×8 个存储元 D 1024×256 个存储元

19 双向数据总线常采用_____ 构成。

A 数据分配器 B 数据选择器 C 三态门 D 译码器

20. ASM 流程图是设计_____ 的一种重要工具。

A 控制器 B 运算器 C 计数器 D 存储器。

二、简答题 (每小题 6 分, 共 18 分)

1. 简述逻辑函数常用的表示方法。
2. 简述 ABLE 模块的组成要素及对应的关键字。
3. 画出图 2-1 状态机的 ASM 流程图。

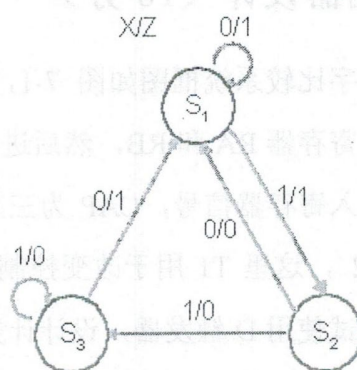


图 2-1 三状态机

三、组合逻辑电路分析 (11 分)

某逻辑电路如图 3-1 所示。

- 1、写出输出函数 F 的表达式。
- 2、列出真值表。
- 3、分析该电路的逻辑功能。

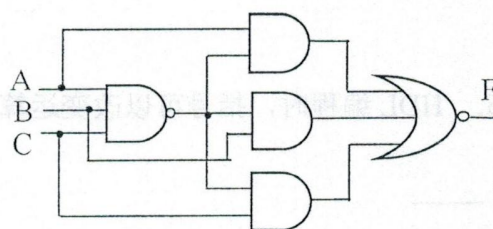


图 3-1

四、组合逻辑设计 (11 分)

已知某组合逻辑电路的输入 A 、 B 、 C 及输出 F 的波形如图 4-1 所示。

- 1、列出真值表。
- 2、画出卡诺图，写出最简逻辑函数表达式。
- 3、画出用与非门实现的电路图。

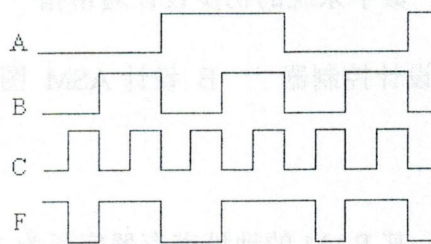


图 4-1

五、时序逻辑分析 (11 分)

电路如图 5-1 所示。

- 1、写出激励方程、状态方程、输出方程。
- 2、列出状态转移表，画出状态转移图。
- 3、判断电路类型，描述电路功能。

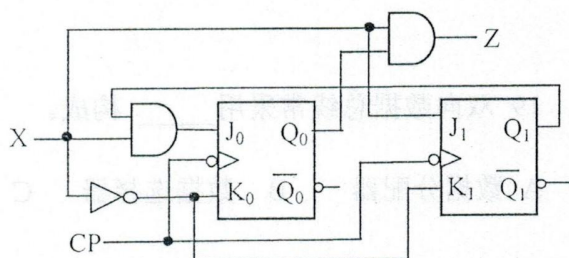


图 5-1

六、HDL 编程设计 (14 分)

试用 VHDL 语言状态图法设计一 8/3 优先编码器，写出完整的源文件。

七、控制器设计 (15 分)

设某数字比较系统框图如图 7-1，它可对两个二进制数进行比较。操作过程如下：先把两个数存入寄存器 RA 和 RB，然后进行比较，后将大数移入寄存器 RA 中。其中，LDRA、LDRB 为打入寄存器信号，CAP 为三态门使能信号， $A > B$ 是比较器输出信号，规定状态周期 $T = T_1 + T_2$ ，这里 T_1 用于改变控制器的触发状态， T_2 用于执行部件中打入寄存器控制信号的定时。试使用 D 触发器，设计计数器型控制器。要求：

- 1 画出 ASM 图。

- 2 写出控制器激励方程和控制信号表达式。
- 3 画出控制器逻辑电路图。

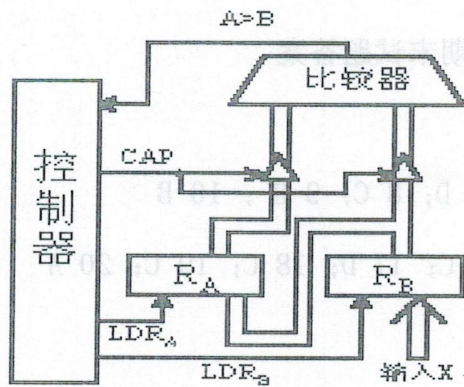


图 7-1



图 7-2

输出	输入
Y	C
1	0
0	1
0	0
0	1
0	0
0	1
0	0
0	1
0	0
0	1
0	0
0	1
0	0
0	1

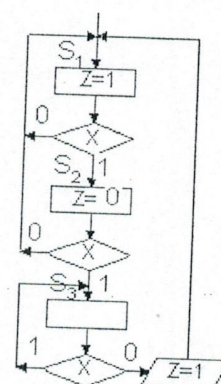
2008《数字逻辑与数字系统》期末试题答案

一、选择题（每小题 1 分，共 20 分）

1 C; 2 D; 3 C; 4 C; 5 D; 6 D; 7 D; 8 C; 9 B; 10 B
11 B; 12 A; 13 B; 14 D; 15 C; 16 C; 17 D; 18 C; 19 C; 20 A

二、简答题（每小题 6 分，共 18 分）

- 1) 布尔代数法、真值表法、逻辑图法、卡诺图法、波形图法、硬件设计语言法等;
- 2) 头部 (Module)、说明部 (DECLARATIONS)、逻辑描述部 (Equations、State _ diagram、Truth _ table); 测试向量部 Test-Vectors、结束部 (End)
- 3) (每个状态单元 2 分)



ASM流程图

三、组合逻辑电路分析（11 分）

某逻辑电路如图 3-1 所示

- 1、函数 F 的表达式: $F = \overline{ABC} + ABC$
- 2、真值表:
- 3、逻辑功能: 该电路输入 A、B、C 全部相同时输出为 1, 否则输出为 0。

输 入			输 出
A	B	C	Y
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

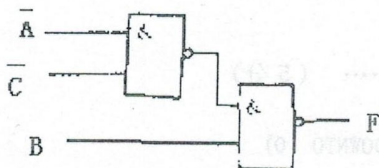
四、组合逻辑设计 (11 分)

1、真值表

2、卡诺图，最简表达式

$$F = B + \overline{A}C$$

3、画出用与非门实现的电路图



A	B	C	Y
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

五、时序逻辑分析 (11 分)

1 激励方程 $J_0 = XQ_1$; $K_0 = \overline{X}$; $J_1 = X$; $K_1 = \overline{X}$

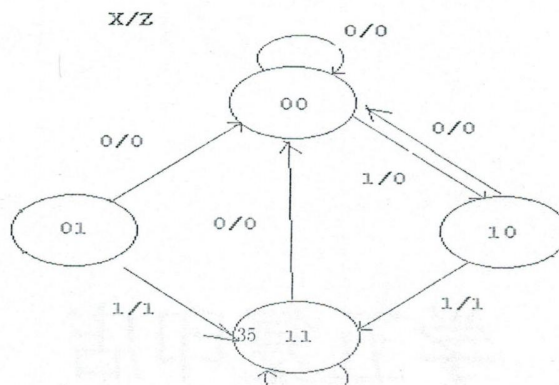
输出方程 $Z = XQ_0$

状态方程 $Q_0^{n+1} = X(Q_0 + \overline{Q_0}Q_1)$; $Q_1^{n+1} = X$

3 状态转移表:

输入	PS		NS		输出
X	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	Z
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	0	0
0	1	1	0	0	0
1	0	0	1	0	0
1	0	1	1	1	
1	1	0	1	1	
1	1	1	1	1	1

状态转移图:



3 序列检测器：检测到序列 11、111、1111，..... 时输出 1，检测到 0 时输出 0（2 分）。
米里型电路（1 分）。

六 编程设计（共 14 分）

```

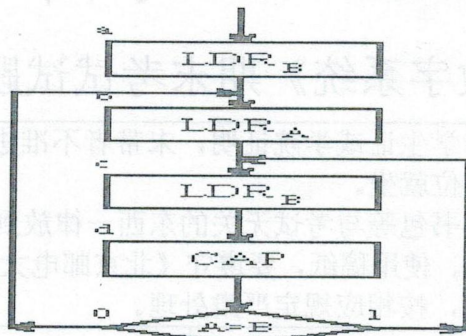
LIBRARY IEEE
USE IEEE .STD_1164. ALL;
ENTITY 8-3CODER IS;
PORT (b1,b2,b3,b4,b5,n6,b7,b8:IN-STD_ LOGIC;
      out1, out2, out3: OUT-STD_ LOGIC);
END 8-3CODER ..... (5 分)
ARCHITECTURE behave_1 OF 8-3CODER IS
SIGNAL Outmid: OUT-STD_ LOGIC_VECTOR ( 2 DOWNT0 0)
BEGIN
Outmid( 2 DOWNT0 0) <=" 111" WHEN b8= '1' ELSE
" 110" WHEN b7= '1' ELSE
" 101" WHEN b6= '1' ELSE
" 100" WHEN b5= '1' ELSE
" 011" WHEN b4= '1' ELSE
" 010" WHEN b3= '1' ELSE
" 001" WHEN b2= '1' ELSE
" 000" WHEN b1= '1' ELSE
" 000" ;
out1<= Outmid (0);
out2<= Outmid (1);
out3<= Outmid (2);
END behave_1 ..... (9 分)

```

七、控制器设计（15 分）

- 1 ASM 图(5 分)
- 2 控制器激励方程和控制信号表达式（7 分）
- 3 控制器逻辑电路图（3 分）。

(A) 数字逻辑与数字系统



题号	一	二	三	四	五	六	七	八	总分
得分	10	20	10	10	10	10	10	10	
合计									
平均分									

一、选择题 (每小题 1 分, 共 10 分)

AB	00	01	10	11
CD		1		
00		1	1	1
01		1	1	1
11		1	1	1
10		1	1	1

图 1

B. 比较器

C. 编码器

D. 寄存器

A. 译码器

个

3. 八路数据选择器, 其地址输入端 (选择控制端) 有 () 个。

B. 3

A. 8



图 2

4. 将 D 触发器转换为 T 触发器, 图 2 所示电路的函数

内应为 ()。

A. 取非门

B. 异或门

C. 异或门

学五复印店

2. 用 4 个触发器组成计数器, 其计数范围最大为 ()。

A. 2

B. 3

北京邮电大学 2006—2007 学年第一学期

《数字逻辑与数字系统》期末考试试题 (A)

考试 注意 事项	一、学生参加考试须带学生证或学院证明，未带者不准进入考场。学生必须按照监考教师指定座位就坐。 二、书本、参考资料、书包等与考试无关的东西一律放到考场指定位置。 三、学生不得另行携带、使用稿纸，要遵守《北京邮电大学考场规则》，有考场违纪或作弊行为者，按相应规定严肃处理。								
考试 课程	数字逻辑与数字系统			考试时间		2007 年 1 月 26 日			
题号	一	二	三	四	五	六	七	八	总分
满分	10	20	10	10	10	12	14	14	
得分									
阅卷 教师									

一、选择题 (每小题 1 分，共 10 分。)

1. 卡诺图如图 1 所示，电路描述的逻辑表达式 $F = (\quad)$ 。

	AB	00	01	11	10
CD	00		1		
	01	1	1	1	1
	11			1	
	10	1			1

图 1

2. 在下列逻辑部件中，不属于组合逻辑部件的是 ()。

A. 译码器 B. 锁存器 C. 编码器 D. 比较器

3. 八路数据选择器，其地址输入端 (选择控制端) 有 () 个。

A. 8 B. 2 C. 3 D. 4

4. 将 D 触发器转换为 T 触发器，图 2 所示电路的虚框内应是 ()。

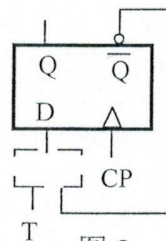


图 2

5. 用 n 个触发器构成计数器，可得到的最大计数模是 ()。

A. 2^n B. $2n$ C. n D. 2^{n-1}

姓名:

班内序号:

学号:

班级:

6. GAL 是指 ()。

- A. 随机读写存储器 B. 通用阵列逻辑 C. 可编程逻辑阵列 D. 现场可编程门阵列

7. EPROM 的与阵列 (), 或阵列 ()。

- A. 固定、固定 B. 可编程、固定 C. 固定、可编程 D. 可编程、可编程

8. 在 ispLSI 器件中, GRP 是指 ()。

- A. 通用逻辑块 B. 输出布线区 C. 输入输出单元 D. 全局布线区

9. 双向数据总线可以采用 () 构成。

- A. 三态门 B. 译码器 C. 多路选择器 D. 与非门

10. ASM 流程图是设计 () 的一种重要工具。

- A. 运算器 B. 控制器 C. 计数器 D. 存储器

二、填空题 (每小题 2 分, 共 20 分)

1. 图 3 所示加法器构成代码变换电路, 若输入信号 $B_3B_2B_1B_0$ 为 8421BCD 码, 则输出端

$S_3S_2S_1S_0$ 为 _____ 代码。

2. 2:4 译码器芯片如图 4 所示。欲将其改为四路分配器使用, 应将使能端 \overline{G} 改为

，而地址输入端 A、B 作为_____。

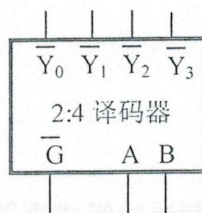
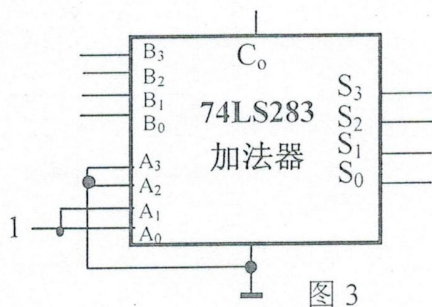


图 4

3. 门电路的输入、输出高电平赋值为逻辑_____, 低电平赋值为逻辑_____, 这种关系为负逻辑关系。

4. 组合逻辑电路的输出只与当时的_____状态有关,而与电路_____的输入状态无关。

5. 译码器实现_____译码, 编码器实现_____译码。

6. 在同步计数器中, 所有触发器的时钟都与_____时钟脉冲源连在一起,

每一个触发器的_____变化都与时钟脉冲同步。

7. 时序逻辑电路中输出变量是输入变量和状态变量的函数, 该电路为_____。

8. 在 CP 脉冲作用下, 具有图 5(a)所示功能的触发器是_____, 具有图 5(b)所示功能的触发器是_____。

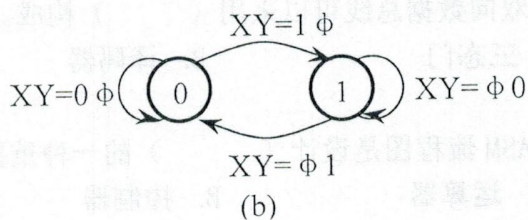
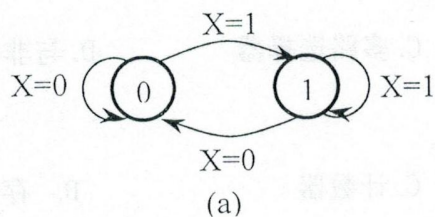


图 5

9. ispLSI 器件具有_____条编程接口线。

10. 小型控制器的结构有_____型、_____型和计数器型。

三、简答题 (各 5 分, 共 10 分)

1. 写出 ispLSI1032 中通用逻辑块 GLB 的五种组态模式; 指出哪种工作速度最快? 哪种工作速度最慢? (5 分)

2. 画出小型控制器的组成框图。(5 分)

四、综合逻辑电路分析题 (10 分)

1. 写出图 6 中三态门的输出信号 (2 分)

(直接写在图上)

2. 写出 F 的逻辑表达式 (4 分)

3. 说明图 6 电路的逻辑功能 (4 分)

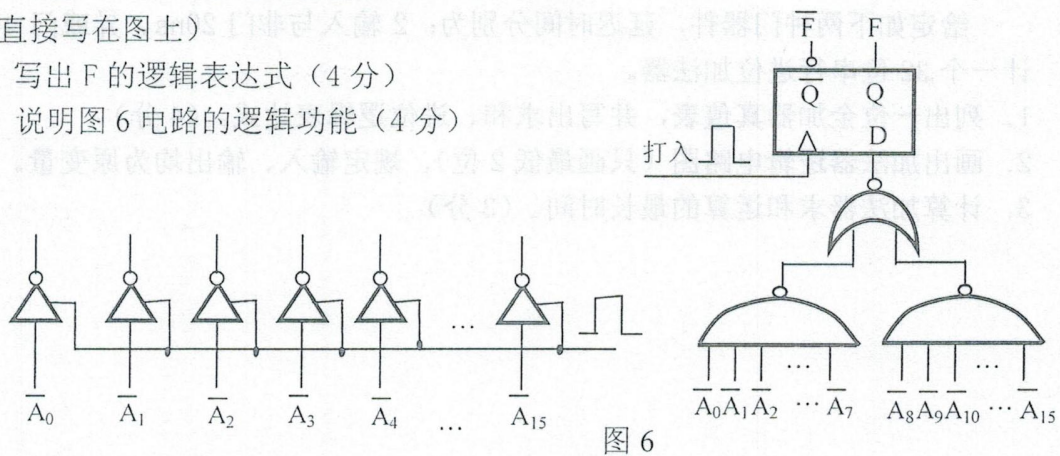


图 6

五、组合电路设计 (10 分)

给定如下两种门器件，延迟时间分别为：2 输入与非门 20ns、异或门 40ns。设计一个 32 位串行进位加法器。

1. 列出一位全加器真值表，并写出求和、进位逻辑表达式。(4 分)
2. 画出加法器逻辑电路图 (只画最低 2 位)，规定输入、输出均为原变量。(3 分)
3. 计算加法器求和运算的最长时间。(3 分)

七、可编程逻辑设计 (14 分)

三比特格雷码加/减计数器状态图如图 8 所示。
 X 为输入控制变量, $X=1$ 时计数器加, $X=0$ 时计数器减, 请用 ABEL-HDL 语言的状态图法设计该计数器 (测试向量部可选)。

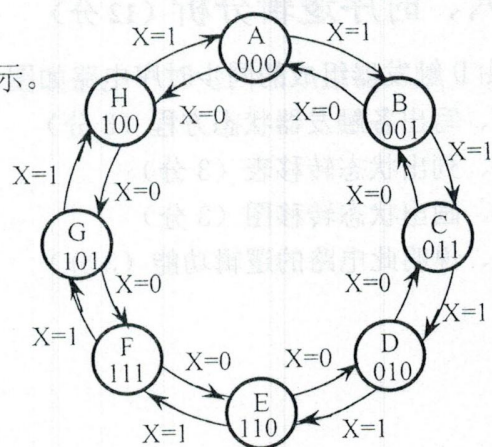


图 8

八、小型控制器设计 (14 分)

图 9 所示为数字累加系统的数据通路图, 设计计数器型控制器。寄存器 A 从数据总线上接收一系列输入数据, 寄存器 B 保存它们的累加结果, 加法器完成求和运算, 控制器指挥执行部件自动完成上述运算。其中 LDA, LDB 为打入寄存器的控制信号, ADD 为三态门使能信号。假设累加系统启动之前寄存器 A、B 已清零。控制器的状态变化发生在 T_1 节拍脉冲时间, 打入寄存器操作发生在 T_2 节拍脉冲时间, 控制器状态周期为 $T=T_1+T_2$ 。

1. 画出控制器的 ASM 图
2. 列出状态转移真值表
3. 写出激励方程和控制信号表达式
4. 画出电路图

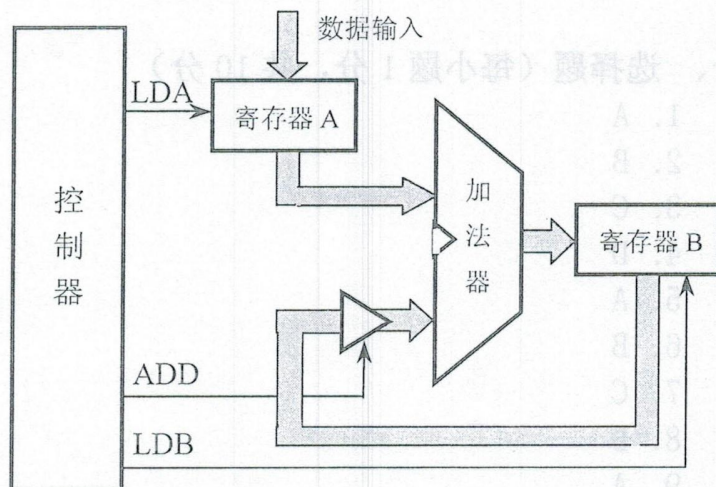


图 9

北京邮电大学 2006—2007 学年第一学期

《数字逻辑与数字系统》期末考试试题(A)标准答案

一、选择题（每小题 1 分，共 10 分）

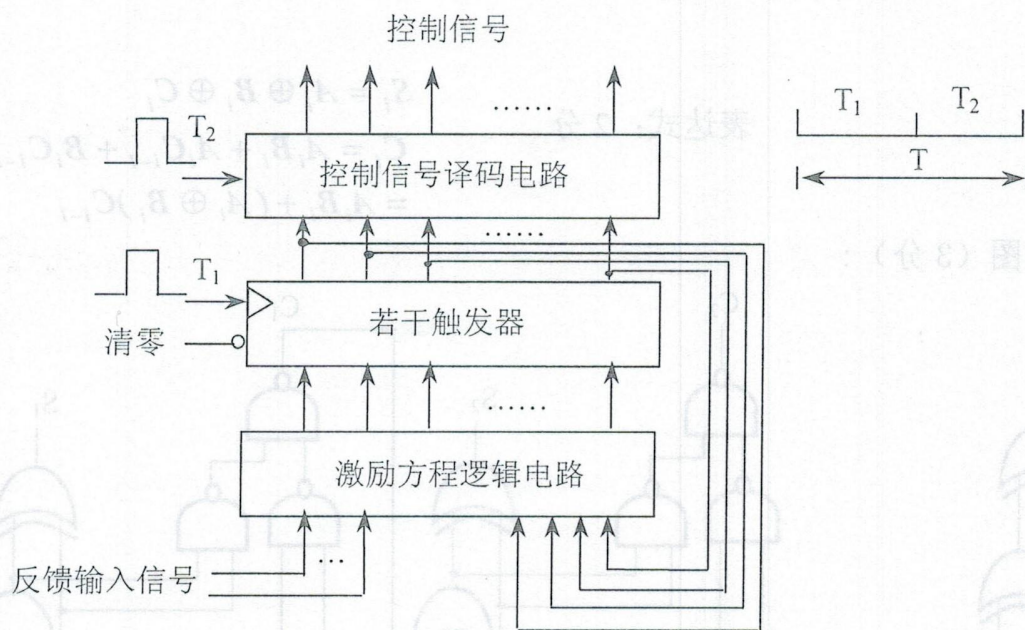
1. A
2. B
3. C
4. D
5. A
6. B
7. C
8. D
9. A
10. B

二、填空题（每小题 2 分，共 20 分）

1. 余 3 码
2. 数据输入 D、地址控制输入 A_1 、 A_0
3. 0、1
4. 输入、原来
5. 多对一、一对多
6. 同一个、状态
7. 米里型
8. D 触发器、JK 触发器
9. 5
10. 多路选择器型 (MUX)、定序型

三、简答题（各 5 分，共 10 分）

1. (5 分) ispLSI1032 中通用逻辑块 GLB 的五种组态模式是标准组态，高速直通组态，异或逻辑组态，单乘积项组态，多模式组态。其中单乘积项组态最快，多模式和异或逻辑组态最慢。
2. (5 分) 小型控制器的组成框图。



四、时序电路分析题（10 分）

1、（2 分）右图从左到右为 $A_0 A_1 A_2 A_3 \dots A_{15}$

2、（4 分）
$$F = \overline{A_0} \overline{A_1} \overline{A_2} \overline{A_3} \overline{A_4} \overline{A_5} \overline{A_6} \overline{A_7} + \overline{A_8} \overline{A_9} \overline{A_{10}} \overline{A_{11}} \overline{A_{12}} \overline{A_{13}} \overline{A_{14}} \overline{A_{15}}$$

$$F = \overline{A_0} \overline{A_1} \overline{A_2} \overline{A_3} \overline{A_4} \overline{A_5} \overline{A_6} \overline{A_7} \overline{A_8} \overline{A_9} \overline{A_{10}} \overline{A_{11}} \overline{A_{12}} \overline{A_{13}} \overline{A_{14}} \overline{A_{15}}$$

3、（4 分）当变量 $A_0 A_1 A_2 A_3 \dots A_{15}$ 全位 0 时，输出 $F=1$ ，由打入信号打入标志触发器保存。 $F=1$ 标志着三态门输出信号为全 0。这是判别总线上代码全为 0 的电路。

五、组合电路设计（10 分）

1、真值表（2 分）

A_i	B_i	C_{i-1}	S_i	C_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

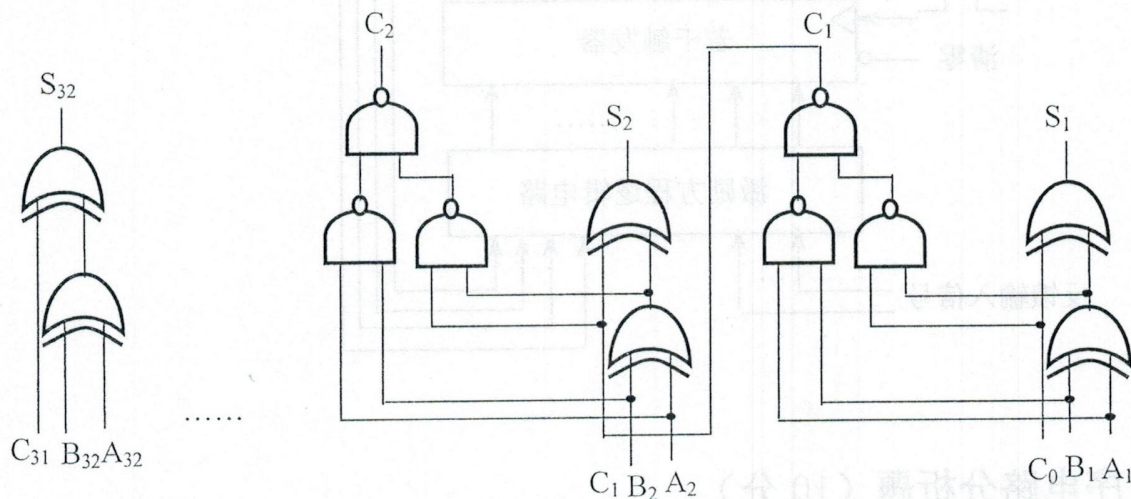
表达式：2 分

$$S_i = A_i \oplus B_i \oplus C_i$$

$$C_i = A_i B_i + A_i C_{i-1} + B_i C_{i-1}$$

$$= A_i B_i + (A_i \oplus B_i) C_{i-1}$$

2、画图 (3 分) :



3、(3 分) 32 位加法器最长时间为：最低位异或门+31 级进位+最高位异或门：
 $t=40\text{ns}+(20+20)\text{ns} \times 31+40\text{ns}=1320\text{ns}$

六、时序电路分析 (12 分)

1、写出状态方程 (3 分)

$$Q_0^{n+1} = D_0 = \overline{Q_1^n Q_2^n}$$

$$Q_1^{n+1} = D_1 = Q_0^n$$

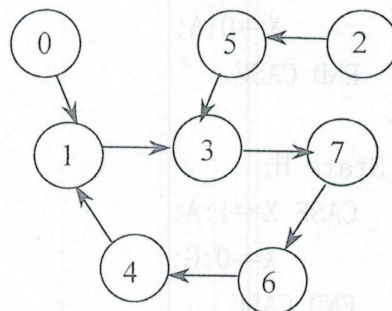
$$Q_2^{n+1} = D_2 = Q_1^n$$

2、出状态转移表 (3 分)

Q ₂	Q ₁	Q ₀	D ₂	D ₁	D ₀
0	0	0	1	0	0
0	1	0	0	1	0
0	1	1	0	0	1
1	0	0	1	0	0
1	0	1	0	1	0
1	1	0	0	0	1
1	1	1	0	1	0

Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	1
0	0	1	0	1	1
0	1	1	1	1	1
1	1	1	1	1	0
1	1	0	1	0	0
1	0	0	0	0	1
0	1	0	1	0	1
1	0	1	0	1	1

3. 状态转移图 (3分)



4. 此电路是五进制计数器，可自启动 (3分)

七、硬件描述语言设计 (14分)

```

(3分) {
  MODULE counter
  TITLE '3-bit Gray code counter';
  Clock, pin;
  X pin;
  Q2, Q1, Q0 node istype 'reg';
  QSTATE=[Q3, Q2, Q0];
  A=[0, 0, 0];
  A=[0, 0, 1];
  A=[0, 1, 1];
  A=[0, 1, 0];
  A=[1, 1, 0];
  A=[1, 1, 1];
  A=[1, 0, 1];
  A=[1, 0, 0];
  EQUATIONS
  QSTATE.CLK=Clock;

```


(6分) { State_diagram QSTATE
 State A;
 CASE X==1:B;
 X==0:H;
 END CASE
 State B;
 CASE X==1:C;
 X==0:A;
 END CASE

 State H;
 CASE X==1:A;
 X==0:G;
 END CASE
 END

方案2 { State_diagram QSTATE
 State A: if X==1 then B else H;

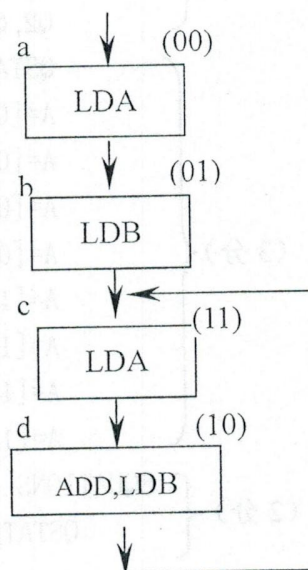
 State B: if X==1 then C else A;
 State C: if X==1 then D else B;
 State D: if X==1 then E else C;
 State E: if X==1 then F else D;
 State F: if X==1 then G else E;
 State G: if X==1 then H else F;
 State H: if X==1 then A else G;
 END

八、小型控制器设计 (14 分)

1、ASM 流程图 (3 分)

2、状态转移真值表 (3 分)

PS			NS		
	Q_1^n	Q_0^n		Q_1^{n+1}	Q_0^{n+1}
a	0	0	b	0	1
b	0	1	c	1	1
c	1	1	d	1	0
d	1	0	c	1	1



3、写出激励方程和控制信号表达式 (2分+2分)

$$D_1 = Q_1^n + Q_0^n$$

$$D_0 = \overline{Q_0^n} + \overline{Q_1^n}$$

$$LDA = (\overline{Q_1^n} \overline{Q_0^n} + Q_1^n Q_0^n) T_2$$

$$LDB = (\overline{Q_1^n} Q_0^n + Q_1^n \overline{Q_0^n}) T_2$$

$$ADD = Q_1^n \overline{Q_0^n}$$

4、设计定序型控制器电路。(4分)

