

# 本科试题（一）

## 一、选择题（每小题 2 分，共 20 分。）

1.  $F = A \oplus B \oplus C$ , A、B、C 取何值时,  $F=1$  ( B )。  
A. 011      B. 100      C. 101      D. 000

2. 下列三个数对应的十进制数最大的是 ( C )。  
A.  $(30)_8$       B.  $(10110)_2$       C.  $(00101000)_{8421}$       D. 27

3. 图 1 所示电路中描述错误的是 ( B )。

- A. 状态变化发生在 CP 脉冲下降沿      B.  $Q^{n+1} = Q^n$   
C.  $Q^{n+1} = \bar{Q}^n$       D. CP 脉冲下降沿输出状态翻转

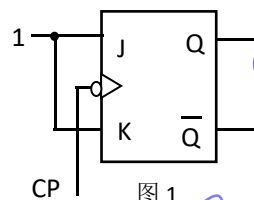


图 1

4. 二进制加法器自身 ( A )。

- A. 只能做二进制数加运算      B. 只能做 8421BCD 码加运算  
C. A 和 B 均可      D. 只能做补码加法运算

5. 用方程式表示时序电路的逻辑功能, 需 ( C )。

- A. 一个方程      B. 二个方程      C. 三个方程      D. 四个方程

6. 五个 D 触发器构成的扭环计数器, 计数器的模是 ( A )。

- A. 10      B.  $2^5$       C. 5      D. 25

7. 八路数据选择器如图 2 所示, 该电路所实现的逻辑函数是 ( C )。

- A.  $F = \sum_m(6, 8, 13, 14)$       B.  $F = \sum_m(6, 8, 9, 13)$

- C.  $F = \sum_m(6, 7, 8, 9, 13, 14)$       D.  $F = \sum_m(0, 1, 2, 5)$

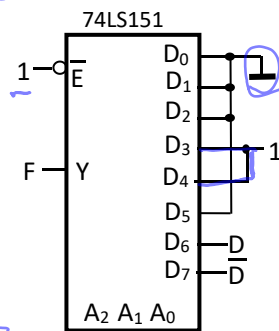


图 2

8. 判断以下三组 VHDL 语言描述中 ( A ) 意义相同。

- A.  $z \leq \text{not } X \text{ and not } Y$ ; 和  $z \leq \text{not } (X \text{ or } Y)$ ;  
B.  $z \leq \text{not } (X \text{ or } Y)$ ; 和  $z \leq \text{not } X \text{ or not } Y$ ;  
C.  $z \leq \text{not } X \text{ and } Y$ ; 和  $z \leq \text{not } (X \text{ and } Y)$ ;  
D.  $z \leq \text{not } X \text{ and not } Y$ ; 和  $z \leq \text{not } (X \text{ and } Y)$ ;

9. 多路选择器构成的数据总线是 ( B )。

- A. 双向的      B. 单向的      C. A 和 B 都对      D. 多路的

10. 断电之后, 能够将存储内容保存下来的存储器是 ( A )。

- A. 只读存储器 ROM;      B. 随机存取存储器 RAM;      C. 动态存取存储器 DRAM      D. SDRAM

## 二、简答题（每小题 5 分，共 15 分）

1. 化简  $F = AC + \overline{A}BC + \overline{B}C + ABC$  (5 分)

$$F = AC \cdot \overline{A}BC \cdot \overline{B}C + ABC$$

2. 分析如图 3 所示的逻辑电路图, 写出输出逻辑函数表达式。(5 分)

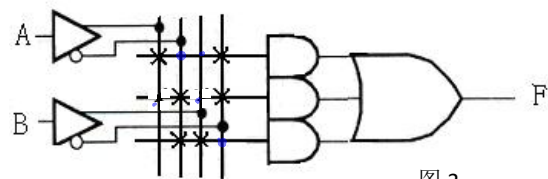
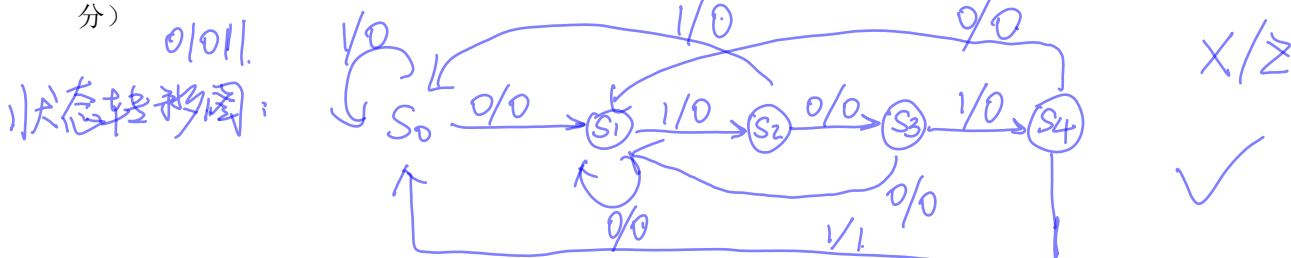


图 3

$$F = \overline{A} \cdot \overline{B} + AB$$

3. 画出 01011 序列检测器的状态转移图, X 为序列输入, Z 为检测输出。(序列不重叠)(5 分)



四位二进制同步计数器

0000 → 0001 → 0010  
0110 ← 0101 ← 0100 ← 0011

### 三、综合分析题 (15 分)

四位二进制同步计数器

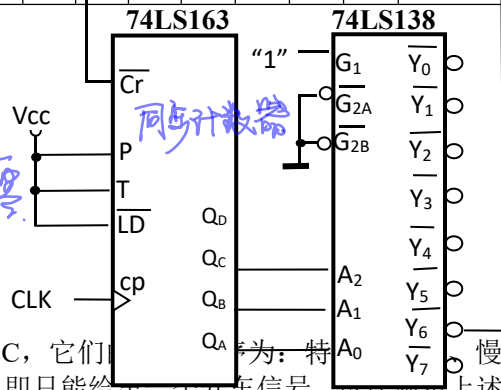
74LS163 与 3:8 译码器 74LS138 的连接电路如图 4。

回答如下问题:

1. 描述 74LS138 工作过程;
2. 描述 74LS163 的清零功能;
3. 图 4 构成模几计数器?
4. 画出图 4 计数器状态变化图;
5. 图 4 采用了中规模集成计数器构成任意进制计数器的什么方法?

(复位法、预置法)

74LS163 功能表													
输入									输出				
Cr	LD	P	T	cp	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>	Q <sub>b</sub>	Q <sub>c</sub>	Q <sub>d</sub>	Q <sub>a</sub>	
L	×	×	×	↑	×	×	×	×	L	L	L	L	
H	L	×	×	↑	d <sub>3</sub>	d <sub>2</sub>	d <sub>1</sub>	d <sub>0</sub>	d <sub>3</sub>	d <sub>2</sub>	d <sub>1</sub>	d <sub>0</sub>	
H	H	H	H	↑	×	×	×	×	计 数				



### 四、组合电路设计 (10 分)

旅客列车分为特快 A, 直快 B 和慢车 C, 它们在同一时间内, 只能有一趟列车从车站开出, 即只能给出一个开车信号。设计满足上述要求的开车信号控制电路。

1. 定义输入和输出逻辑变量;
2. 列出真值表;
3. 根据卡诺图写出输出最简“与或”表达式;
4. 用适当门电路设计该电路。

### 五、时序电路设计 (15 分)

设计一个计数器, 在 CLK 脉冲作用下 Q<sub>3</sub>Q<sub>2</sub>Q<sub>1</sub> 及输出 Z 的波形如图 5 所示。

1. 确定边沿触发的形式;
2. 画状态转移图;
3. 写状态转移表;
4. 写状态方程、激励方程 (D 触发器)、输出方程;
5. 画出电路图。

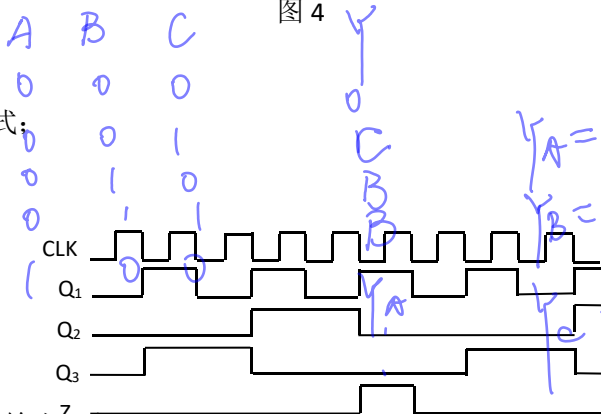


图 5

### 六、硬件描述语言设计 (15 分)

用 VHDL 语言设计一个如图 6 所示六段显示的驱动译码器。它是为了显示图 6 所示的六个符号中的一个, 实线表示亮, 虚线表示不亮 (图中 e 是垂直线, f 是水平线)。设计的器件有三个输入 A、B、C 及六个输出 a、b、c、d、e、f。图中表示的三位数是输入码, 即译码器接收三位码, 使适当的段亮。每一段的驱动电位是高电平。

写出完整的设计源程序。

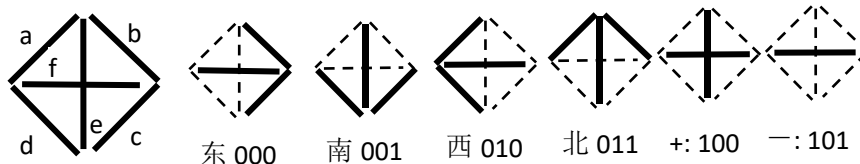
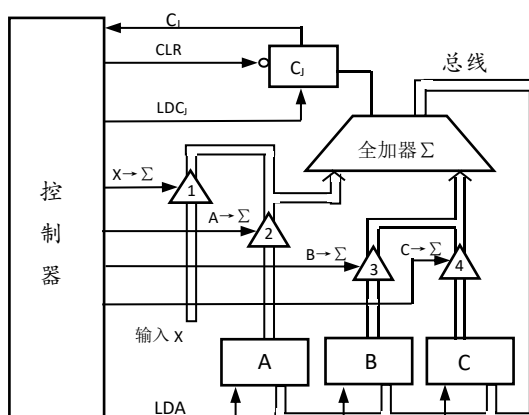


图 6

### 七、分析题 (10 分)

某数字系统的结构如图 7 所示。

1. 列出全部控制信号;
2. A、B、C 为何种器件?
3. 门 1、2、3、4 为何种门?



你聪明个屁

4. 描述  $A+B \rightarrow C$  的工作过程及控制信号的顺序;

5. 画出  $A+B \rightarrow C$  的 ASM 图。

1. LDA, LDB, LDC,  $X \rightarrow \Sigma$ ,  $A \rightarrow \Sigma$ ,  $B \rightarrow \Sigma$ ,  $C \rightarrow \Sigma$   
CLR LDC (2分)

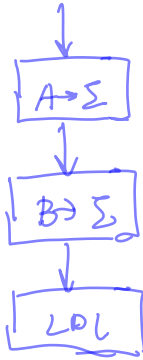
2. A, B, C 为寄存器 (2分)

自己设计太扯淡了

3. 门 1, 2, 3, 4 为三态门 (2分)

4.  $A \rightarrow \Sigma$   $B \rightarrow \Sigma$  LDC

只要  $A+B \rightarrow C$  的 ASM 图。



??? 这也太简单了