

还有! mac!

本科试题(二)

一、选择题(每小题2分,共20分。)

1. $F = A(\bar{A} + B) + B(B + C + D) = (A)$

- A. B B. A+B C. 1 D. AB

2. 同步时序电路和异步时序电路比较,其差异在于后者 (B)

- A. 没有稳定状态 B. 没有统一的时钟脉冲控制
C. 输入数据是异步的 D. 输出数据是异步的

$16 + 16 + 2 + 1$

3. $(1000011)_2$ 8421BCD 的二进制码为 (C)。

- A. $(1000011)_2$ B. $(10100100)_2$ C. $(1010011)_2$ D. $(11001011)_2$

看清题,自信

4. 74LS85 为四位二进制数据比较器。如果只进行 4 位数据比较,那么三个级联输入端 $a < b$ 、 $a > b$ 、 $a = b$ 应为 (D)。

- A. $a < b$ 接地, $a > b$ 接地, $a = b$ 接地
B. $a < b$ 接高电平, $a > b$ 接高电平, $a = b$ 接高电平
C. $a < b$ 接高电平, $a > b$ 接高电平, $a = b$ 接地
D. $a < b$ 接地, $a > b$ 接地, $a = b$ 接高电平

$a < b$ 和 $a > b$ 接地, $a = b$ 接高电平

5. N 个触发器可以构成能寄存 (A) 位二进制数码的寄存器。

- A. N B. 2N C. 2^N D. N^2

6. 时序电路中对于自启动能力的描述是 (B)。

- A. 无效状态自动进入有效循环,称为具有自启动能力。
B. 无效状态在时钟脉冲作用下进入有效循环,称为具有自启动能力。
C. 有效状态在时钟脉冲作用下进入有效循环,称为具有自启动能力。
D. 有效状态自动进入有效循环,称为具有自启动能力。

具有自启动能力

记住3!

7. 数字系统的设计需要用到 ASM 图,它是设计 (C) 的重要工具。

- A. 运算器 B. 寄存器 C. 控制器 D. 存储器

8. 四位超前进位加法器 74LS283 提高了工作速度,原因在于 (D)。

- A. 各位的进位是快速传递的 B. 它是四位串行进位加法器
C. 内部具有四个全加器 D. 各位的进位是同时形成的

9. ispLSI 系列器件是 (A) 的高密度 PLD 产品。

- A. 基于与或阵列结构 B. 基于或阵列结构
C. 基于全译码结构 D. 基于可编程数字开关

$2^4 = 16K$

10. 设计一个存储器,其地址线有 14 条 ($A_0 \sim A_{13}$)、数据线有 $D_0 \sim D_7$ 。现有芯片 $32K \times 8$ 、 $8K \times 2$ 、 $14K \times 4$ 、 $16K \times 4$ 。确定正确方案为 (C)。

- A. $14K \times 4$ 二片 B. $8K \times 2$ 八片 C. $32K \times 8$ 一片 D. $16K \times 4$ 四片

$16K \times 8$

14

$16K \times 4$

两片够了啊!

二、组合逻辑分析(10分)

可控函数发生器如图 1 所示,其中 C_1 、 C_2 为控制端, A 和 B 为输入变量, F 为输出变量。

- 写出输出函数 $F(A, B, C_1, C_2)$ 的逻辑表达式;
- 当 C_1 、 C_2 的取值如表 4, 写出 F 与 A、B 的逻辑关系填入表 4 中。

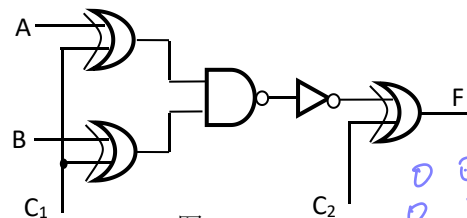


图 1

$$F = (A \oplus C_1) \cdot (B \oplus C_1) \oplus C_2$$

$A \oplus 0 = A$

0	0	0	0
0	1	0	1
1	0	1	0
1	1	1	0

A

$$F = [(A \oplus C) \cdot (B \oplus G)] \oplus C_2$$

表 4

C1	C2	$F=f(A,B)$
0	0	AB
0	1	$A+B$
1	0	AB
1	1	$A+B$

奥利给!!!!!!

三、时序电路分析 (10 分)

十进制同步计数器
74LS162 改变模值的连接电
路如图 2。CO 是进位输出信
号，当 $Q_D Q_C Q_B Q_A = 1001$ 时，
CO=1。

回答如下问题：

1. 图 3 构成模几计数器？
2. 状态变化过程是什么？
3. 图 3 采用了中规模集成计数器
构成任意进制计数器的什么方法？
(复位法、预置法)

输入									输出			
\overline{Cr}	\overline{LD}	P	T	cp	D	C	B	A	Q_D	Q_C	Q_B	Q_A
L	X	X	X	\uparrow	X	X	X	X	L	L	L	L
H	L	X	X	\uparrow	d	c	b	a	d	c	b	a
H	H	H	H	\uparrow	X	X	X	X	计 数			

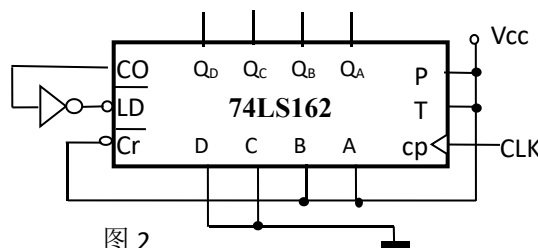


图 2

模七
预置法

0011 → 0100 → 0101
↓
1001 ← 1000 ← 0111 ← 0110

四、组合电路设计 (10 分)

设计一个能判断某同学是否结业的逻辑电路，参加四门考试，规定如下：

- ☆政治 及格得 1 分 不及格得 0 分
 - ☆理化 及格得 2 分 不及格得 0 分
 - ☆英语 及格得 3 分 不及格得 0 分
 - ☆数学 及格得 4 分 不及格得 0 分
- 若总得分为 6 分以上（包括 6 分）就可结业。要求：

1. 定义输入和输出逻辑变量；

2. 列出真值表；

3. 根据卡诺图写出输出最简“与或”表达式；

4. 用适当门电路设计该电路。

政治 A 英语 C
理化 B 数学 D

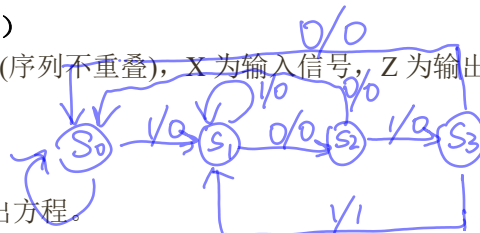
总分 F，及格为 1。

DBCA
10

五、时序电路设计 (12 分)

设计一个 1011 序列检测器(序列不重叠)，X 为输入信号，Z 为输出信号。

1. 画状态转移图；
2. 确定最少用几个 D 触发器；
3. 写状态转移表；
4. 写状态方程、激励方程、输出方程。



最少用 2 个

x=0 x=1
0 0 0 0% 0 1%
0 1 1 0% 0 1%
1 0 0 0% 1 1%
1 1 0 0% 1 1%

六、硬件描述语言设计 (14 分)

采用 VHDL 语言设计一个计数监视电路图 3 所示。
8421BCD 码十进制计数器处于计数状态，当其计数值
能被 2 整除时，该监视电路输出 1，否则输出 0。

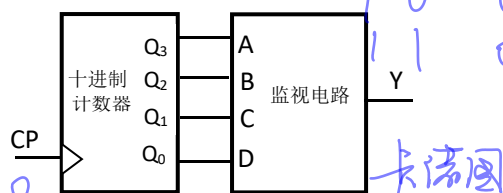
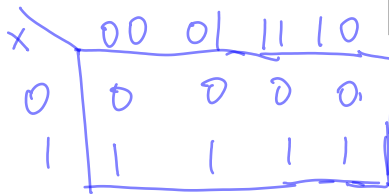


图 3

$Q_2^{n+1} Q_1^{n+1}$



$$Q_2^{n+1} = Q_2^n Q_1^n$$

$$Q_1^{n+1} = X$$

$$Z = Q_2^n Q_1^n X$$

卡诺图

就是这玩意儿

这要写？写个屁。

这还真要写

写出完整的设计源程序。

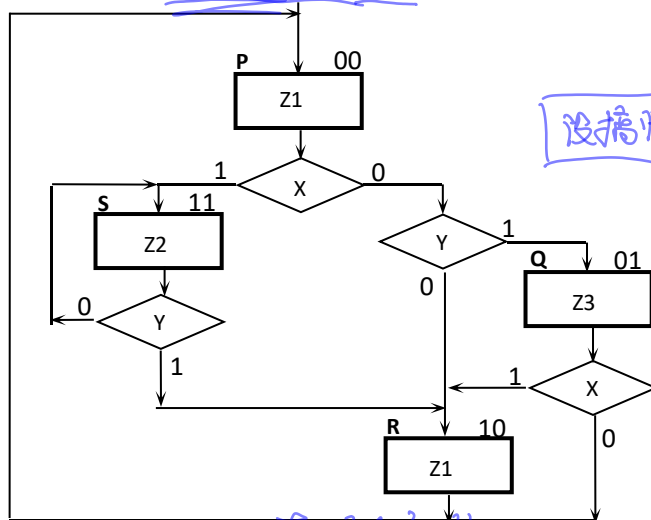
八、小型控制器设计 (14 分)

某数字系统的 ASM 图如图 4 所示，设计多路选择器型控制器电路。

1. 列出状态转移真值表；
2. 写出多路选择器 MUX 的输入表达式；
3. 写出控制命令 Z1、Z2、Z3 的表达式；
4. 画出控制电路图。

多路选择器型控制器

没搞懂 看书一会儿



B A

图4

转移条件

0 (00)

1 1

X CB=X CA=0

0 1
1 0

$\bar{X}Y$ CB= \bar{X} , CA=Y
 $X\bar{Y}$ CB= \bar{X} , CA=F

1 (01)

1 0

X CB=X, CA=0

0 0

\bar{X} CB= \bar{X} , CA=0

2 (10)

0 0

0 CB=0, CA=0

3 (11)

1 0

Y CB=0 CA=F

1 1

F CB=0, CA=F

$$MUXA(0) = CA = Y + \bar{Y} = 1$$

$$MUXA(1) = CA = 0$$

$$MUXA(2) = CA = 0$$

$$MUXA(3) = CA = Y + \bar{Y} = 1$$

$$MUXB(0) = CB = 1 + \bar{X} = 1$$

$$MUXB(1) = CB = X + \bar{X} = 1$$

$$MUXB(2) = CB = 0$$

$$MUXB(3) = CB = 0$$

什么鬼？