

本科试卷（九）

一、选择题（每小题 2 分，共 30 分）

1. 八进制数 $(573.7)_8$ 的十六进制数是_____。
 A. $(17C.7)_{16}$ B. $(17C.E)_{16}$ C. $(17B.7)_{16}$ D. $(17B.5)_{16}$
2. 与最小项 $\overline{A}BCD$ 相邻的逻辑最小项有_____个。
 A. 1 B. 2 C. 4 D. 15
3. 函数 $F(ABCD)=\sum m(0,2,8,10,13,15)$ ，它的最简与或表达式 $F=$ _____。
 A. $F = \overline{A}\overline{B}\overline{D} + ABD + A\overline{B}\overline{D}$ B. $F = \overline{A}\overline{B}C + \overline{A}\overline{D} + \overline{A}\overline{B}D$
 C. $F = \overline{A}\overline{B}C + \overline{A}\overline{B}D + \overline{A}\overline{B}$ D. $F = ABD + \overline{B}\overline{D}$
4. _____ 电路在任何时刻只能有一个输入端有效。
 A. 普通二进制编码器 B. 优先编码器
 C. 七段显示译码器 D. 二进制译码器
5. 能实现从多个输入端中选出一路作为输出的电路称为_____。
 A. 触发器 B. 计数器 C. 数据选择器 D. 译码器
6. 八路数据选择器如图 1-1 所示，该电路所实现的逻辑函数是_____。
 A. $\overline{A}\overline{C}D + B\overline{C}\overline{D} + \overline{A}BC + A\overline{B}\overline{C}$ B. $\sum m(6,8,9,13)$
 C. $\sum m(6,8,13,14)$ D. $\sum m(6,7,8,9,13,14)$

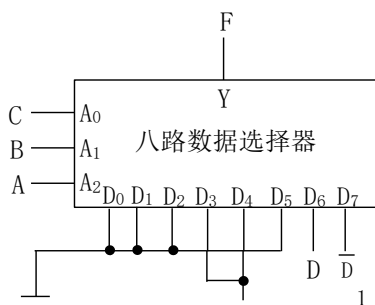


图 1-1

7. 下列触发器中，没有约束条件的是_____。
 A. 基本 RS 触发器 B. 主从 RS 触发器 C. 钟控 RS 触发器 D. 边沿 D 触发器
8. 若将 D 触发器的 D 端连在 \overline{Q} 端上，经 100 个脉冲作用后，它的次态 $Q(t+100)=0$ ，则现态 $Q(t)$ 应为_____。
 A. $Q(t)=0$ B. $Q(t)=1$ C. 与现态 $Q(t)$ 无关 D. 以上都不对

9. 用反馈移位寄存器产生 11101000 序列, 至少需要_____个触发器。

- A. 2 B. 3 C. 4 D. 8

10. 某时序逻辑电路的波形如图 1-2 所示, 由此判定该电路是_____。

- A. 二进制计数器 B. 十进制计数器 C. 移位寄存器 D. 以上均不是

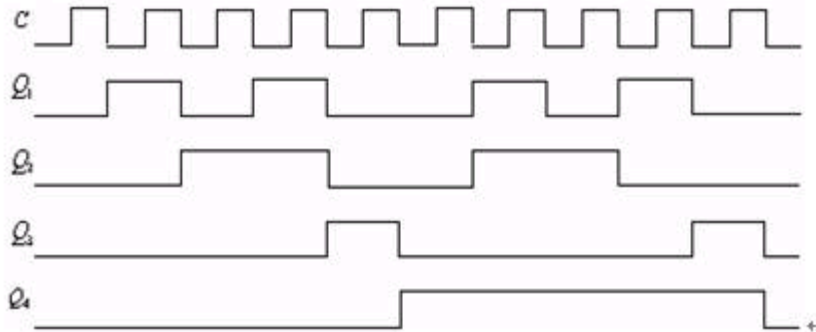


图 1-2

11. 以下四种类型的半导体存储器中, 以传输同样多的字为比较条件, 则读出数据传输率最高的是_____。

- A. D R A M B. S R A M C. 闪速存储器 D. E P R O M

12. 一个 ROM 其共有 10 根地址线, 8 根位线 (数据输出线), 则其存储容量为_____。

- A. 10×8 B. $10^2 \times 8$ C. 10×8^2 D. $2^{10} \times 8$

13. 可编程逻辑器件 PLD, 其内部均由与阵列和或阵列组成。其中, 不是与阵列可编程的器件有_____。

- A. ROM B. PLA
C. PAL D. GAL

14. 使用 PROM 和 FPLA 实现组合逻辑时, 要将逻辑表达式分别写成_____。

- A. 最小项之和、最小项之和 B. 最简与-或式、最简与-或式
C. 最简与-或式、最小项之和 D. 最小项之和、最简与-或式

15. 数字系统中使用通用寄存器的目的是_____。

- A. 保存更多的数据 B. 减少访问存储器, 提高运行速度
C. 保存状态信号 D. 保存控制信号

二、填空题 (每小题 2 分, 共 18 分)

- 最基本的三种逻辑运算是_____。
- 利用吸收法 $A + AB = A$, $F = AB + ABCD(E + F)$ 的简化表达式为_____。
- 编码器的逻辑功能是对处理的输入信号赋予_____, 它实现一对多译码。
- 根据已知组合逻辑电路图, 找出其输入与输出关系, 确定在什么样的输入取值组合

- 下，对应的输出为 1，这种过程称为_____。
5. 时序电路的描述方程通常有输出方程、_____方程和激励方程。
6. 同步时序逻辑电路按其输入与输出的关系不同，分为_____和_____两类。
7. RAM 的存储矩阵有 64 行，64 列，其存储容量为_____个存储元。
8. PLD 称为_____，它是有与阵列和_____组成的可编程阵列组成。
9. 数字系统由_____、逻辑系统和_____三大部分组成。

三、组合逻辑分析（12 分）

分析图 1 所示电路的逻辑功能。

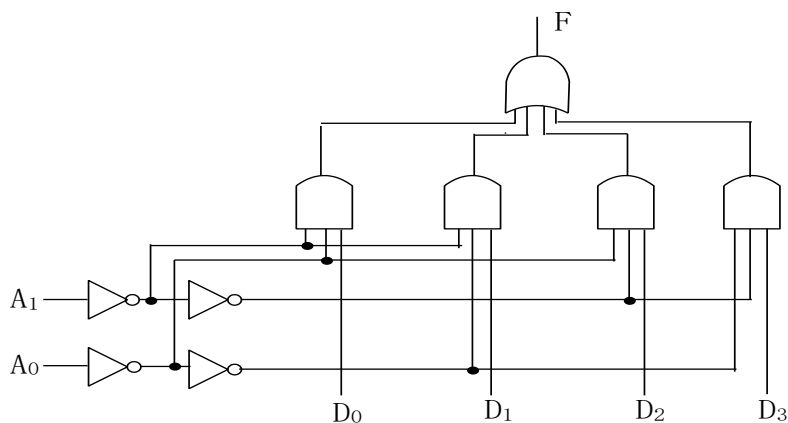


图 1

四、时序逻辑设计（14 分）

用 JK 触发器设计同步五进制递减计数器。状态转换图如下（图 2）。

- (1) 写出状态转移表
- (2) 写出激励方程、状态方程
- (3) 画出逻辑图

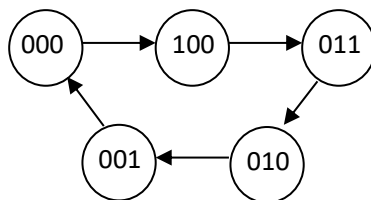


图 2

五、VHDL 语言设计（12 分）

用 VHDL 语言设计如下六个基本逻辑门：

$$F1 = A1 \cdot B1 \quad F2 = A2 + B2 \quad F3 = \overline{A3 \cdot B3}$$

$$F4 = \overline{A2 + B2} \quad F5 = A5 \oplus B5 \quad F6 = A6 \odot B6$$

要求：

- (1) 包含 ABLE_HDL 标准结构语句
- (2) 采用逻辑方程法
- (3) 用测试向量部进行四组值的测试（输入值自选）

六、小型控制器设计（14 分）

某控制器的算法流程图如下（图 3）所示，设计一个计数器型控制器。

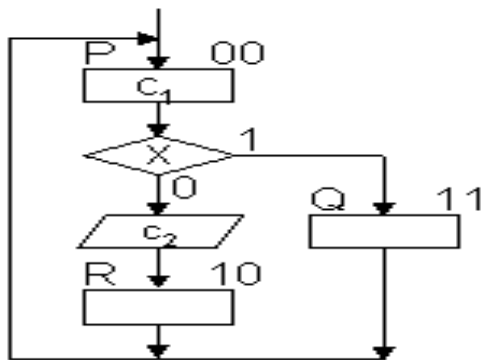


图 3