

北京邮电大学

# 数字逻辑与数字系统

—— 历年真题及详解 ——

学解

让学习简单点



扫描全能王 创建

## 目 录

期末试卷（一） .....	3
期末试卷（二） .....	8
期末试卷（三） .....	11
期末试卷（四） .....	16
期末试卷（一） 参考答案 .....	22
期末试卷（二） 参考答案 .....	27
期末试卷（三） 参考答案 .....	33
期末试卷（四） 参考答案 .....	36



# 北京邮电大学《数字逻辑与数字系统》



## 期末试卷（一）

答案 P22

### 一、选择题（每小题 1 分，共 10 分。）

1.  $F = A \oplus B \oplus C$ , A、B、C 取何值时,  $F=1$  ( )。  
A. 011      B. 100      C. 101

2. 下列三个数对应的十进制数最大的是 ( )。

A.  $(30)_8$       B.  $(10110)_2$       C.  $(00101000)_{8421}$

3. 图 1 所示电路中描述错误的是 ( )。

A. 状态变化发生在 CP 脉冲下降沿  
B.  $Q^{n+1} = Q^n$       C.  $Q^{n+1} = \overline{Q}^n$

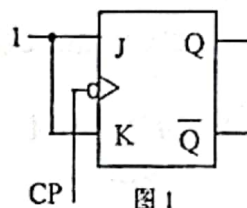


图 1

4. 二进制加法器自身 ( )。

A. 只能做二进制数加运算      B. 只能做 8421BCD 码加运算      C. A 和 B 均可

5. 用方程式表示时序电路的逻辑功能, 需 ( )。

A. 一个方程      B. 二个方程      C. 三个方程

6. 五个 D 触发器构成的扭环计数器, 计数器的模是 ( )。

A. 10      B.  $2^5$       C. 5

7. 八路数据选择器如图 2 所示, 该电路所实现的逻辑函数是 ( )。

A.  $F = \sum_m(6, 8, 13, 14)$       B.  $F = \sum_m(6, 8, 9, 13)$       C.  $F = \sum_m(6, 7, 8, 9, 13, 14)$

8. 判断以下三组 VHDL 语言描述中 ( ) 意义相同。

A.  $z \leq \text{not } X \text{ and not } Y$ ; 和  $z \leq \text{not } (X \text{ or } Y)$ ;  
B.  $z \leq \text{not } (X \text{ or } Y)$ ; 和  $z \leq \text{not } X \text{ or not } Y$ ;  
C.  $z \leq \text{not } X \text{ and } Y$ ; 和  $z \leq \text{not } (X \text{ and } Y)$ ;

9. 多路选择器构成的数据总线是 ( )。

A. 双向的      B. 单向的      C. A 和 B 都对

10. 断电之后, 能够将存储内容保存下来的存储器是 ( )。

A. 只读存储器 ROM;      B. 随机存取存储器 RAM;      C. 动态存取存储器 DRAM

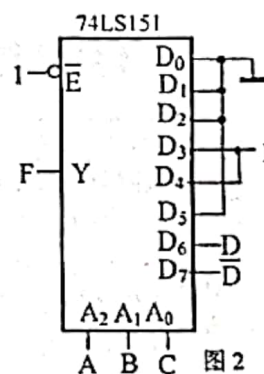


图 2



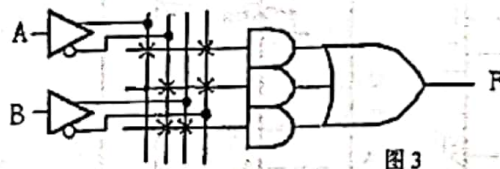
## 二、填空题（每小题 1 分，共 10 分）

1. 异或门的一个输入端连接高电平，则异或门变为\_\_\_\_\_门。
2. 用卡诺图化简时，所画圈中必须是\_\_\_\_\_个相邻的1。
3. 一般编码器的输入信号只能有一个有效电平，但优先编码器却可以有多个有效信号电平，可是优先编码器只对\_\_\_\_\_进行编码。
4. 驱动七段数码管的译码器有\_\_\_\_\_数据输出端。
5. 多片四位二进制数值比较器连接起来之后，应从\_\_\_\_\_的  $A < B$ ,  $A = B$ ,  $A > B$  端输出。
6. 用计数器分频时，一位十进制计数器能够十分频，而用四位二进制计数器分频时，则能够\_\_\_\_\_分频。
7. 计数器能够自启动是指无效状态能够在 CP 作用下\_\_\_\_\_。
8. 芯片 2716 为  $2048 \times 8$  EPROM。芯片 2716 有\_\_\_\_\_条数据线，有\_\_\_\_\_条地址线。
9. VHDL 的各种并行语句在结构体中的执行是\_\_\_\_\_。
10. ASM 图状态框中的文字表示在这个状态要执行的\_\_\_\_\_。

## 三、简答题（每小题 5 分，共 15 分）

1. 化简  $F = AC + \overline{A}BC + \overline{B}C + ABC\overline{C}$  (5分)

2. 分析如图 3 所示的逻辑电路图，写出输出逻辑函数表达式。(5分)。





3、画出 01011 序列检测器的状态转移图, X 为序列输入, Z 为检测输出。(序列不重叠)(5 分)

#### 四、综合分析题 (15 分)

四位二进制同步计数器  
74LS163 与 3:8 译码器 74LS138  
的连接电路如图 4。

回答如下问题:

1. 描述 74LS138 工作过程;
2. 描述 74LS163 的清零功能;
3. 图 4 构成模几计数器?
4. 画出图 4 计数器状态变化图;
5. 图 4 采用了中规模集成计数器构成任意进制计数器的什么方法?  
(复位法、预置法)

74LS163 功能表												
输入									输出			
$\overline{Cr}$	$\overline{LD}$	P	T	cp	$D_3$	$D_2$	$D_1$	$D_0$	$Q_3$	$Q_2$	$Q_1$	$Q_0$
L	X	X	X	↑	X	X	X	X	L	L	L	L
H	L	X	X	↑	$d_3$	$d_2$	$d_1$	$d_0$	$d_3$	$d_2$	$d_1$	$d_0$
H	H	H	H	↑	X	X	X	X	计 数			

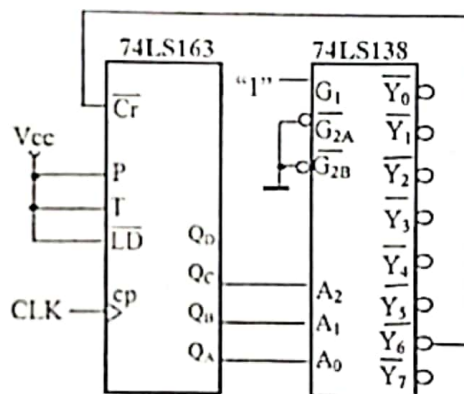


图 4

#### 五、组合电路设计 (10 分)

旅客列车分为特快 A、直快 B 和慢车 C, 它们的优先顺序为: 特快、直快、慢车。在同一时间内, 只能有一趟列车从车站开出, 即只能给出一个开车信号。设计满足上述要求的开车信号控制电路。

1. 定义输入和输出逻辑变量;
2. 列出真值表;
3. 根据卡诺图写出输出最简“与或”表达式;
4. 用适当门电路设计该电路。



### 六、时序电路设计 (15 分)

设计一个计数器, 在 CLK 脉冲作用下  $Q_2, Q_1, Q_0$  及输出 Z 的波形如图 5 所示。

1. 确定边沿触发的形式;
2. 画状态转移图;
3. 写状态转移表;
4. 写状态方程、激励方程 (D 触发器)、输出方程;
5. 画出电路图。

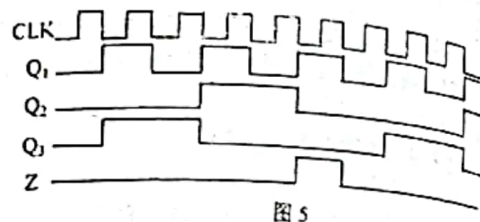


图 5

### 七、硬件描述语言设计 (15 分)

用 VHDL 语言设计一个如图 6 所示六段显示的驱动译码器, 它是为了显示图 6 所示的六个符号中的一个, 实线表示亮, 虚线表示不亮 (图中 e 是垂直线, f 是水平线)。设计的器件有三个输入 A、B、C 及六个输出 a、b、c、d、e、f。图中表示的三位数是输入码, 即译码器接收三位码, 使适当的段亮。每一段的驱动电位是高电平。

写出完整的设计源程序。

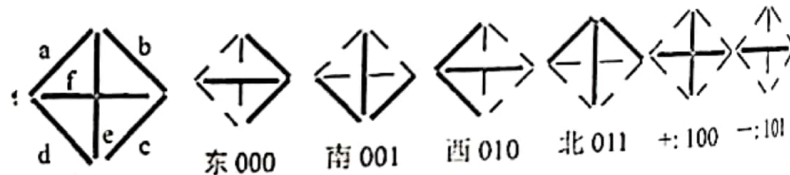


图 6



### 八、分析题 (10 分)

某数字系统的结构如图 7 所示。

1. 列出全部控制信号；
2. A、B、C 为何种器件？
3. 门 1、2、3、4 为何种门？
4. 描述  $A+B \rightarrow C$  的工作过程及控制信号的顺序；
5. 画出  $A+B \rightarrow C$  的 ASM 图。

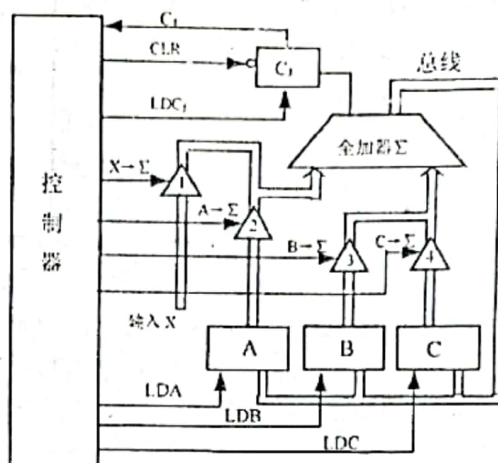


图 7



# 北京邮电大学《数字逻辑与数字系统》

## 期末试卷(二)

答案 P27

### 一、选择题(每小题1分,共10分。)

1.  $F = A(\bar{A} + B) + B(B + C + D) =$  ( )

- A. B      B.  $A+B$       C. 1      D.  $AB$

2. 同步时序电路和异步时序电路比较,其差异在于后者( )

- A. 没有稳定状态      B. 没有统一的时钟脉冲控制  
C. 输入数据是异步的      D. 输出数据是异步的

3.  $(10000011)_{8421BCD}$  的二进制码为( )

- A.  $(10000011)_2$       B.  $(10100100)_2$       C.  $(1010011)_2$       D.  $(11001011)_2$

4. 74LS85 为四位二进制数据比较器。如果只进行4位数据比较,那么三个级联输入端  $a < b$ 、 $a > b$ 、 $a = b$  应为( )。

- A.  $a < b$  接地,  $a > b$  接地,  $a = b$  接地  
B.  $a < b$  接高电平,  $a > b$  接高电平,  $a = b$  接高电平  
C.  $a < b$  接高电平,  $a > b$  接高电平,  $a = b$  接地  
D.  $a < b$  接地,  $a > b$  接地,  $a = b$  接高电平

6. 一个由 74LS138 构成的逻辑电路如图1所示,函数 F 的最小项表达式为\_\_\_\_\_。

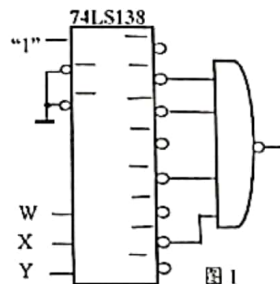


图1

7. 可编程、可擦除 ROM 有两种芯片,一种是 EPROM, 另一种是\_\_\_\_\_。

8. 可编程逻辑阵列 PLA 的内部结构是,

与阵列\_\_\_\_\_、或阵列\_\_\_\_\_。

9. VHDL 语言编程中结构体的三种描述方式分别为\_\_\_\_\_、\_\_\_\_\_、\_\_\_\_\_。

10. 在数字系统中\_\_\_\_\_提供信息传输功能。

### 三、组合逻辑分析(10分)

可控函数发生器如图2所示,其中  $C_1$ 、 $C_2$  为控制端, A 和 B 为输入变量, F 为输出变量。  
1. 写出输出函数  $F(A, B, C_1, C_2)$  的逻辑表达式;  
2. 当  $C_1$ 、 $C_2$  的取值如表4, 写出 F 与 A、B 的逻辑关系填入表4中。

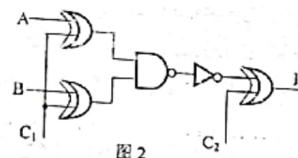


图2

表4

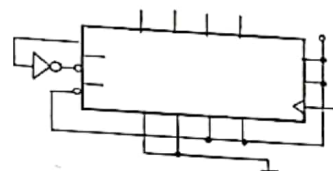
$C_1$	$C_2$	$F = f(A, B)$
0	0	
0	1	
1	0	
1	1	

### 四、时序电路分析(10分)

十进制同步计数器 74LS162 改变模值的连接电路如图3。CO 是进位输出信号, 当  $Q_0 Q_1 Q_2 Q_3 = 1001$  时,  $CO = 1$ 。

回答如下问题:

- 图3 构成模几计数器?
- 状态变化过程是什么?
- 图3 采用了中规模集成计数器构成任意进制计数器的什么方法?(复位法、预置法)



### 五、组合电路设计(10分)

设计一个能判断某同学是否结业的逻辑电路, 参加四门考试, 规定如下:

- ☆政治 及格得1分 不及格得0分
- ☆理化 及格得2分 不及格得0分
- ☆英语 及格得3分 不及格得0分
- ☆数学 及格得4分 不及格得0分

若总得分为6分以上(包括6分)就可结业。要求:

- 定义输入和输出逻辑变量;
- 列出真值表;
- 根据卡诺图写出输出最简“与或”表达式;
- 用适当门电路设计该电路。





## 六、时序电路设计 (12分)

设计一个 1011 序列检测器(序列不重叠), X 为输入信号, Z 为输出信号。

1. 画状态转移图;
2. 确定最少用几个 D 触发器;
3. 写状态转移表;
4. 写状态方程、激励方程、输出方程。

## 七、硬件描述语言设计 (14分)

采用 VHDL 语言设计一个计数监视电路如图 4 所示。8421BCD 码十进制计数器处于计数状态, 当其计数值能被 2 整除时, 该监视电路输出 1, 否则输出 0。

写出完整的设计源程序。

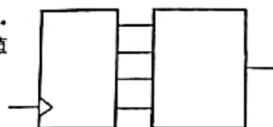


图 4

## 北京邮电大学《数字逻辑与数字系统》



期末试卷 (三)

答案 P33

一、选择题 (每小题 1 分, 共 20 分。答案写在答题纸上)

1. 下列函数中, 与  $(A+B)(A+C)$  等价的逻辑函数是

- A.  $F=AB$     B.  $F=A+B$     C.  $F=AB+C$     D.  $F=B+C$

2. 函数 F 的卡诺图如表 1-1, 其最简与或表达式是

- A.  $F = \overline{A}\overline{B}D + \overline{A}B\overline{D} + A\overline{C}\overline{D}$   
 B.  $F = A\overline{B}C + \overline{A}C\overline{D} + \overline{A}\overline{B}D$   
 C.  $F = A\overline{B}C + \overline{A}\overline{B}D + A\overline{C}\overline{D}$   
 D.  $F = \overline{A}\overline{B}D + \overline{A}B\overline{D} + A\overline{B}D$

AB \ CD	00	01	11	10
00		1		1
01	1			
11	1			
10		1		1

表 1-1

3. 八进制数  $(573.4)_8$  转化为十六进制数后为 \_\_\_\_\_。

- A.  $(17C.4)_{16}$     B.  $(16B.4)_{16}$     C.  $(17B.8)_{16}$     D.  $(17B.4)_{16}$

4. 与最小项  $\overline{A}\overline{B}CD$  相邻的逻辑最小项有 \_\_\_\_\_ 个。

- A. 1    B. 2    C. 4    D. 15

5. 下列电路中, 不属于组合逻辑电路的是

- (A) 编码器;    (B) 译码器;    (C) 数据选择器;    (D) 计数器。

6. 图 1-1 为数据选择器构成的函数发生器, 其输出逻辑 Y 等于

- (A)  $Y = AB$ ;    (B)  $Y = \overline{A}B$ ;  
 (C)  $Y = A$ ;    (D)  $Y = B$ 。

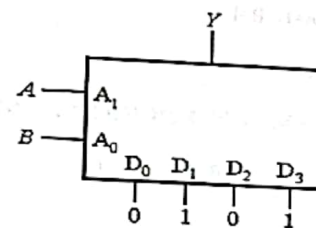


图 1-1



7. 图 1-2 所示的译码显示电路中, 输入  $Q_3Q_2Q_1Q_0$  为 8421BCD 码, 设显示信号高电平有效,

则此刻  $I_a I_b I_c I_d I_e I_f I_g =$

- A. 0110000 B. 0000110  
C. 0000000 D. 1111111



图 1-2

8. 图 1-3 为某 RS 触发器, 此时 Q 的状态为

- (A) 0; (B) 1;  
(C) 保持; (D) 不定。

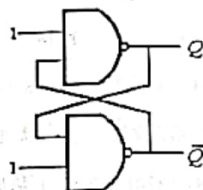


图 1-3

9. 图 1-4 中, 经 CP 脉冲作用后欲使  $Q^{n+1} = \overline{Q^n}$ , 则 A、B 输入应为\_\_\_\_\_。

- A. A=0, B=0  
B. A=0, B=1  
C. A=1, B=1  
D. B=1

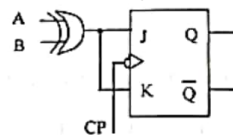


图 1-4

10. 实现一个十进制的可逆计数器, 至少需要\_\_\_\_\_个触发器。

- A. 3 B. 4 C. 5 D. 6

11. 某时序电路的状态转移如表 1-2, 该电路是模\_\_\_\_\_的计数器。

- A. 4 B. 5 C. 6 D. 8

PS			NS			Z
$Q_3$	$Q_2$	$Q_1$	$Q_3$	$Q_2$	$Q_1$	
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	0	0	0	1
1	0	1	1	1	0	0
1	1	0	0	1	0	1
1	1	1	1	0	1	0

表 1-2

12. 4 个触发器构成的环形计数器, 最多可有\_\_\_\_\_个有效状态。

- A. 4 B. 16 C. 8 D. 10

13. 时序电路中不可缺少的部分为

- A. 组合电路 B. 记忆电路 C. 同步时钟信号 D. 组合电路和记忆电路

14. ispLSI 器件中, 巨块是指\_\_\_\_\_。

- A. GLB B. 全局布线区 C. 输出逻辑宏单元 D. GLB 及对应的 ORC、IOC 的总和。

15. 一个 ispLSI1032 中, 共有\_\_\_\_\_个通用逻辑块。

- A. 4 B. 8 C. 32 D. 64

16. HDL 编程时, 括号可以改变运算次序, 如设  $A=(010)_2$ 、 $B=(100)_2$ , 则  $A \oplus (BSA)$  的结果为\_\_\_\_\_。

- A.  $(100)_2$  B.  $(010)_2$  C.  $(110)_2$  D.  $(011)_2$

17. 数字系统的初步设计通常指

- A 设计控制器 B 设计 ASM 图 C 子系统的设计 D 子系统的划分

18. 某 RAM 的地址寄存器字长为 10, 数据寄存器字长 8, 则存储容量为

- A 256 个存储单元 B  $256 \times 10$  个存储单元 C  $1024 \times 8$  个存储元 D  $1024 \times 256$  个存储元

19. 双向数据总线常采用\_\_\_\_\_构成。

- A 数据分配器 B 数据选择器 C 三态门 D 译码器

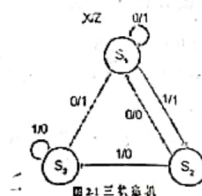
20. ASM 流程图是设计\_\_\_\_\_的一种重要工具。

- A 控制器 B 运算器 C 计数器 D 存储器。



## 二、简答题（每小题 6 分，共 18 分）

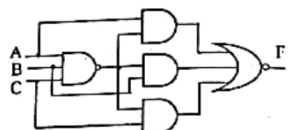
1. 简述逻辑函数常用的表示方法。
2. 简述 ABLE 模块的组成要素及对应的关键字。
3. 画出图 2-1 状态机的 ASM 流程图。



## 三、组合逻辑电路分析（11 分）

某逻辑电路如图 3-1 所示。

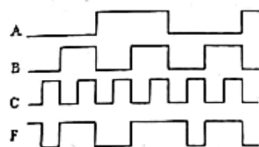
1. 写出输出函数 F 的表达式。
2. 列出真值表。
3. 分析该电路的逻辑功能。



## 四、组合逻辑设计（11 分）

已知某组合逻辑电路的输入 A、B、C 及输出 F 的波形如图 4-1 所示。

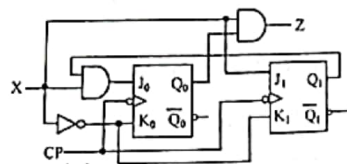
1. 列出真值表。
2. 画出卡诺图，写出最简逻辑函数表达式。
3. 画出用与非门实现的电路图。



## 五、时序逻辑分析（11 分）

电路如图 5-1 所示。

1. 写出激励方程、状态方程、输出方程。
2. 列出状态转移表，画出状态转移图。
3. 判断电路类型，描述电路功能。



## 六、HDL 编程设计（14 分）

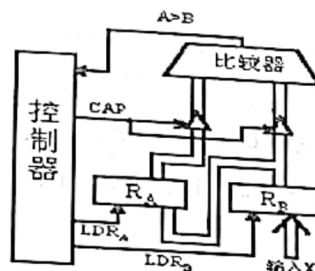
试用 VHDL 语言状态图法设计一 8/3 优先编码器，写出完整的源文件。

## 七、控制器设计（15 分）

设某数字比较系统框图如图 7-1，它可对两个二进制数进行比较。操作过程如下：先把两个数存入寄存器 RA 和 RB，然后进行比较，后将大数移入寄存器 RA 中。其中，LDRA、LDRB 为打入寄存器信号，CAP 为三态门使能信号，A>B 是比较器输出信号，规定状态周期  $T=T_1+T_2$ ，这里  $T_1$  用于改变控制器的触发状态， $T_2$  用于执行部件中打入寄存器控制信号的定时。试使用 D 触发器，设计计数器型控制器。要求：

1. 画 ASM 图

2. 写出控制器激励方程和控制信号表达式。
3. 画出控制器逻辑电路图。



# 北京邮电大学《数字逻辑与数字系统》



期末试卷(四)

答案 P36

## 一、选择题(每小题1分,共10分。)

1. 卡诺图如图1所示,电路描述的逻辑表达式 $F=(\quad)$ 。

- A.  $\Sigma m(1, 2, 4, 5, 9, 10, 13, 15)$   
B.  $\Sigma m(0, 1, 3, 4, 5, 9, 13, 15)$   
C.  $\Sigma m(1, 2, 3, 4, 5, 8, 9, 14)$   
D.  $\Sigma m(1, 4, 5, 8, 9, 10, 13, 15)$

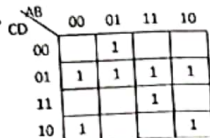


图1

2. 在下列逻辑部件中,不属于组合逻辑部件的是( )。

- A. 译码器 B. 锁存器 C. 编码器 D. 比较器

3. 八路数据选择器,其地址输入端(选择控制端)有( )个。

- A. 8 B. 2 C. 3 D. 4

4. 将D触发器转换为T触发器,图2所示电路的虚框内应是( )。

- A. 或非门 B. 与非门  
C. 异或门 D. 同或门

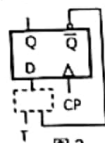


图2

5. 用n个触发器构成计数器,可得到的最大计数模是( )。

- A.  $2^n$  B.  $2n$  C. n D.  $2^{n-1}$

6. GAL是指( )。

- A. 随机读写存储器 B. 通用阵列逻辑 C. 可编程逻辑阵列 D. 现场可编程门阵列

7. EPROM的与阵列( ),或阵列( )。

- A. 固定、固定 B. 可编程、固定 C. 固定、可编程 D. 可编程、可编程

8. 在ispLSI器件中,GRP是指( )。

- A. 通用逻辑块 B. 输出布线区 C. 输入输出单元 D. 全局布线区

9. 双向数据总线可以采用( )构成。

- A. 三态门 B. 译码器 C. 多路选择器 D. 与非门

10. ASM流程图是设计( )的一种重要工具。

- A. 运算器 B. 控制器 C. 计数器 D. 存储器

## 二、填空题(每小题2分,共20分)

1. 图3所示加法器构成代码变换电路,若输入信号 $B_3, B_2, B_1, B_0$ 为8421BCD码,则输出端

$S_3, S_2, S_1, S_0$ 为\_\_\_\_\_代码。

2. 2:4译码器芯片如图4所示。欲将其改为四路分配器使用,应将使能端 $\bar{G}$ 改为\_\_\_\_\_。

而地址输入端A、B作为\_\_\_\_\_。

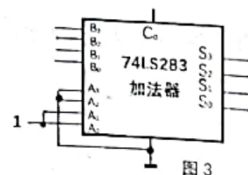


图3



图4

3. 门电路的输入、输出高电平赋值为逻辑\_\_\_\_\_,低电平赋值为逻辑\_\_\_\_\_,这种关系为负逻辑关系。

4. 组合逻辑电路的输出只与当时的\_\_\_\_\_状态有关,而与电路\_\_\_\_\_的输入状态无关。

5. 译码器实现\_\_\_\_\_译码,编码器实现\_\_\_\_\_译码。

6. 在同步计数器中,所有触发器的时钟都与\_\_\_\_\_时钟脉冲源连在一起,每一个触发器的\_\_\_\_\_变化都与时钟脉冲同步。

7. 时序逻辑电路中输出变量是输入变量和状态变量的函数,该电路为\_\_\_\_\_。

8. 在CP脉冲作用下,具有图5(a)所示功能的触发器是\_\_\_\_\_,具有图5(b)所示功能的触发器是\_\_\_\_\_。

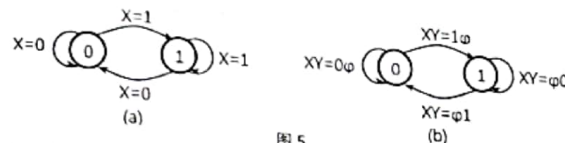


图5

9. ispLSI器件具有\_\_\_\_\_条编程接口线。

10. 小型控制器的结构有\_\_\_\_\_型、\_\_\_\_\_型和计数器型。

## 三、简答题(各5分,共10分)

1. 写出ispLSI1032中通用逻辑块GLB的五种组态模式;指出哪种工作速度最快?哪种工作速度最慢?(5分)

2. 画出小型控制器的组成框图。(5分)



#### 四、综合逻辑电路分析题 (10 分)

1. 写出图 6 中三态门的输出信号 (2 分)  
(直接写在图上)
2. 写出 F 的逻辑表达式 (4 分)
3. 说明图 6 电路的逻辑功能 (4 分)

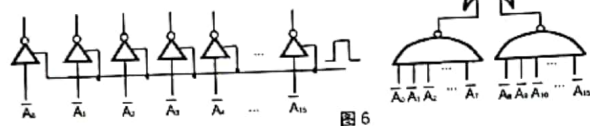


图 6

#### 五、组合电路设计 (10 分)

给定如下两种门器件, 延迟时间分别为: 2 输入与非门 20ns、异或门 40ns。设计一个 32 位串行进位加法器。

1. 列出一位全加器真值表, 并写出求和、进位逻辑表达式。(4 分)
2. 画出加法器逻辑电路图 (只画最低 2 位), 规定输入、输出均为原变量。(3 分)
3. 计算加法器求和运算的最长时间。(3 分)

#### 六、时序逻辑分析 (12 分)

由 D 触发器组成的同步时序电路如图 7 所示。

1. 写出各触发器状态方程 (3 分)
2. 列出状态转移表 (3 分)
3. 画出状态转移图 (3 分)
4. 说明此电路的逻辑功能 (3 分)

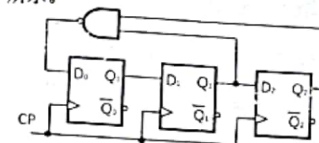


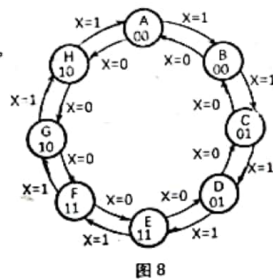
图 7





### 七、可编程逻辑设计 (14分)

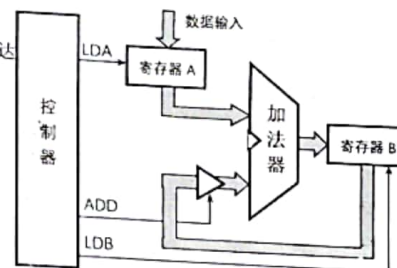
三比特格雷码加/减计数器状态图如图8所示。  
X为输入控制变量, X=1时计数器加, X=0时  
计数器减, 请用ABEL-HDL语言的状态图法  
设计该计数器(测试向量部可选)。



### 八、小型控制器设计 (14分)

图9所示为数字累加系统的数据通路图, 设计计数器型控制器。寄存器A从数据总线上接收一系列输入数据, 寄存器B保存它们的累加结果, 加法器完成求和运算, 控制器指挥执行部件自动完成上述运算。其中LDA, LDB为打入寄存器的控制信号, ADD为三态门使能信号。假设累加系统启动之前寄存器A、B已清零。控制器的状态变化发生在 $T_1$ 节拍脉冲时间, 打入寄存器操作发生在 $T_2$ 节拍脉冲时间, 控制器状态周期为 $T=T_1+T_2$ 。

1. 画出控制器的ASM图
2. 列出状态转移真值表
3. 写出激励方程和控制信号表达式
4. 画出电路图



## 期末试卷(一) 参考答案

### 一、选择题(每小题1分,共10分。)

1.  $F = A \oplus B \oplus C$ , A、B、C 取何值时,  $F=1$  (B)。  
A. 011 B. 100 C. 101

2. 下列三个数对应的十进制数最大的是 (C)。  
A.  $(30)_8$  B.  $(10110)_2$  C.  $(00101000)_{8421}$

3. 图1所示电路中描述错误的是 (B)。  
A. 状态变化发生在 CP 脉冲下降沿  
B.  $Q^{n+1} = Q^n$  C.  $Q^{n+1} = \bar{Q}^n$

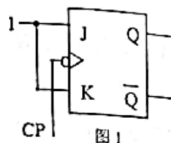


图1

4. 二进制加法器自身 (A)。  
A. 只能做二进制数加运算 B. 只能做8421BCD 码加运算 C. A 和 B 均可

5. 用方程式表示时序电路的逻辑功能, 需 (C)。  
A. 一个方程 B. 二个方程 C. 三个方程

6. 五个D 触发器构成的扭环计数器, 计数器的模是 (A)。  
A. 10 B.  $2^5$  C. 5

7. 八路数据选择器如图2所示, 该电路所实现的逻辑函数是 (C)。  
A.  $F = \sum_m(6, 8, 13, 14)$  B.  $F = \sum_m(6, 8, 9, 13)$  C.  $F = \sum_m(6, 7, 8, 9, 13, 14)$

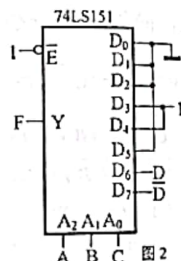


图2

8. 判断以下三组 VHDL 语言描述中 (A) 意义相同。  
A.  $z \leq \text{not } X \text{ and not } Y$ ; 和  $z \leq \text{not } (X \text{ or } Y)$ ;  
B.  $z \leq \text{not } (X \text{ or } Y)$ ; 和  $z \leq \text{not } X \text{ or not } Y$ ;  
C.  $z \leq \text{not } X \text{ and } Y$ ; 和  $z \leq \text{not } (X \text{ and } Y)$ ;

9. 多路选择器构成的数据总线是 (B)。  
A. 双向的 B. 单向的 C. A 和 B 都对

10. 断电之后, 能够将存储内容保存下来的存储器是 (A)。  
A. 只读存储器 ROM; B. 随机存取存储器 RAM; C. 动态存取存储器 DRAM

### 二、填空题(每小题1分,共10分)

1. 异或门的一个输入端连接高电平, 则异或门变为 非 门。

2. 用卡诺图化简时, 所画圈中必须是  $2^n$  个相邻的1。

3. 一般编码器的输入信号只能有一个有效电平, 但优先编码器却可以有多个有效信号电平, 可是优先编码器只对 优先级最高 的一个信号 进行编码。

4. 驱动七段数码管的译码器有 7 个数据输出端。

5. 多片四位二进制数值比较器连接起来之后, 应从 最高位 的  $A < B$ ,  $A = B$ ,  $A > B$  端输出。

6. 用计数器分频时, 一位十进制计数器能够十分频, 而用四位二进制计数器分频时, 则能够 16 分频。

7. 计数器能够自启动是指无效状态能够在 CP 作用下 自动进入有效循环(有效状态)。

8. 芯片 2716 为  $2048 \times 8$  EPROM。芯片 2716 有 8 条数据线, 有 11 条地址线。

9. VHDL 的各种并行语句在结构体中的执行是 并行的。

10. ASM 图状态框中的文字表示在这个状态要执行的 操作。

### 三、简答题(每小题5分,共15分)

1. 化简  $F = AC + \bar{A}BC + \bar{B}C + ABC$  (5分)

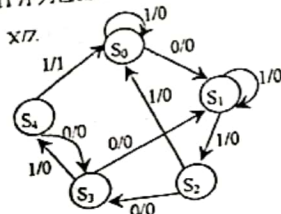
$$\begin{aligned} F &= C(A + \bar{A}B + \bar{B}) + ABC \\ &= C(A + B + \bar{B}) + ABC \\ &= C(A + 1) + ABC \\ &= C + ABC \\ &= C \end{aligned}$$

2. 分析如图3所示的逻辑电路图, 写出输出逻辑函数表达式。(5分)。

$$F = \bar{A}\bar{B} + \bar{A}B + \bar{A}B$$



3. 画出 01011 序列检测器的状态转移图, X 为序列输入, Z 为检测输出。(序列不重叠) (5 分)



#### 四、综合分析题 (15 分)

- (3 分) 当  $G_1=1, G_2A_{28}=0$  时, 74LS138 工作。  
 $A_2A_1A_0=000$   $Y_0=0$   
 $A_2A_1A_0=001$   $Y_1=0$   
.....  
 $A_2A_1A_0=111$   $Y_7=0$
- (3 分) 74LS163 是异步清零。
- (3 分) 模 7 计数器
- (3 分) 0→1→2→3→4→5→6→0
- (3 分) 复位法

#### 五、组合电路设计 (10 分)

(2 分) 输入 ABC, 输出  $F_1F_2F_3$

ABC	$F_1F_2F_3$
000	000
001	001
010	010
011	010
100	100
101	100
110	100
111	100

(3 分)  $F_1=A$

$$F_2 = \overline{A}B$$

$$F_3 = \overline{A}BC$$

(3 分) 画图

#### 六、时序电路设计 (15 分)

1. 下降沿 (3 分)

2. 000→101→100→011→010→001→000 (3 分)

3. (3 分)

$Q_3^*Q_2^*Q_1^*$	$Q_3^{**}Q_2^{**}Q_1^{**}$	Z
000	101	0
101	100	0
100	011	0
011	010	0
010	001	0
001	000	1

$$4. (3 分) Q_3^{***} = \overline{Q_3^*}Q_2^*Q_1^* + Q_3^*Q_2^*Q_1^* \quad Q_2^{***} = Q_3^*Q_2^*Q_1^* + Q_3^*Q_2^*Q_1^* \quad Q_1^{***} = \overline{Q_3^*}$$

$$D_3 = \overline{Q_3^*}Q_2^*Q_1^* + Q_3^*Q_2^*Q_1^* \quad D_2 = Q_3^*Q_2^*Q_1^* + Q_3^*Q_2^*Q_1^* \quad D_1 = \overline{Q_3^*}$$

$$Z = \overline{Q_3^*}Q_2^*Q_1^*$$

5 画图 (3 分) D 触发器一定是用下降沿触发符号。

#### 七、硬件描述语言设计 (15 分)

LIBRARY IEEE;

USE IEEE.std\_logic\_1164.ALL;

ENTITY se6 IS

PORT (X, Y, Z : IN std\_logic;

A, B, C, D, E, F : OUT std\_logic);

END se6;

ARCHITECTURE se6\_arc OF se6 IS

BEGIN

PROCESS (X, Y, Z)

BEGIN

IF (X='0' AND Y='0' AND Z='0') THEN

B <= '1'; C <= '1'; F <= '1';

A <= '0'; D <= '0'; E <= '0';

ELSIF (X='0' AND Y='0' AND Z='1') THEN

C <= '1'; D <= '1'; E <= '1';



# 期末试卷(二) 参考答案

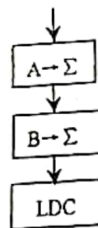
```

A <= '0'; B <= '0'; F <= '0';
ELSIF (X = '0' AND Y = '1' AND Z = '0') THEN
A <= '1'; D <= '1'; F <= '1';
B <= '0'; C <= '0'; E <= '0';
ELSIF (X = '0' AND Y = '1' AND Z = '1') THEN
A <= '1'; B <= '1'; E <= '1';
C <= '0'; D <= '0'; F <= '0';
ELSIF (X = '1' AND Y = '0' AND Z = '0') THEN
E <= '1'; F <= '1'; A <= '0';
B <= '0'; C <= '0'; D <= '0';
ELSIF (X = '1' AND Y = '0' AND Z = '1') THEN
F <= '1'; A <= '0'; B <= '0';
C <= '0'; D <= '0'; E <= '0';
END IF;
END PROCESS;
END se6_arc;
    
```

## 八、分析题 (10分)

1. LDA、LDB、LDC、 $X \rightarrow \Sigma$ 、 $A \rightarrow \Sigma$ 、 $B \rightarrow \Sigma$ 、 $C \rightarrow \Sigma$ 、LDC、CLR (2分)
2. 寄存器 (2分)
3. 三态门 (2分)
4. (2分) 使得  $A \rightarrow \Sigma$  有效打开三态门2, 使得  $B \rightarrow \Sigma$  有效打开三态门3, 使得 LDC 有效将  $A+B$  的结果打入数据寄存器 C。

5. (2分)



## 一、选择题 (每小题1分, 共10分。)

1. A
2. B
3. C
4. D
5. A
6. B
7. C
8. D
9. A
10. B

## 二、填空题 (每小题2分, 共20分)

1. 0、1、高阻。(低电平、高电平、高阻)
- 1、1。
4.  $\overline{A}\overline{B}\overline{C}D, \overline{A}B\overline{C}D, \overline{A}B\overline{C}D, \overline{A}B\overline{C}D$  (0、3、5、9)。
- 错误。
- 5.5。
6.  $F(W,X,Y) = \Sigma(1,2,4,6)$
- EEPROM。
- 可编程、可编程。
- 数据流描述方式、结构描述方式、行为描述方式。
- 数据通路。(总线)

## 三、组合逻辑分析 (10分)

1.  $F = [(A \oplus C_1)(B \oplus C_1)] \oplus C_2$  (2分)



表 4

C1	C2	$F=f(A,B)$	
0	0	$AB$	2 分
0	1	$\overline{AB}$	2 分
1	0	$A+B$	2 分
1	1	$A+B$	2 分

#### 四、时序电路分析 (10 分)

- (4 分) 构成模 7 计数器。
- (4 分)  $3 \rightarrow 4 \rightarrow 5 \rightarrow 6 \rightarrow 7 \rightarrow 8 \rightarrow 9 \rightarrow 3$
- (2 分) 预置法

#### 五、组合电路设计 (10 分)

- (2 分) 定义输入和输出逻辑变量: A=政治, B=理化, C=英语, D=数学。  
1 及格, 0 不及格。F=输出 1 结业, 0 不结业
- (3 分) 列出真值表:

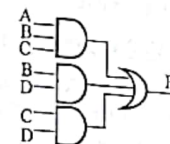
A (1)	B (2)	C (3)	D (4)	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

- (3 分) 根据卡诺图写出输出最简“与或”表达式:

AB \ CD	00	01	11	10
00				
01		1	1	
11	1	1	1	1
10			1	

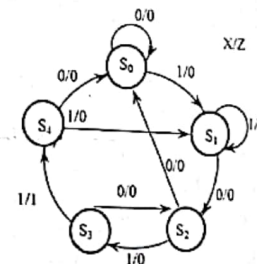
$$F = BD + CD + ABC$$

- (2 分) 用适当门电路设计该电路。



#### 六、时序电路设计 (12 分)

- (3 分) 画状态转移图:



- (3 分) 确定最少用几个 D 触发器: (状态化简)

	X=0	X=1
S0	S0/0	S1/0
S1	S2/0	S1/0
S2	S0/0	S3/0
S3	S2/0	S4/1
S4	S0/0	S1/0

合并





	X=0	X=1
S0	S0/0	S1/0
S1	S2/0	S1/0
S2	S0/0	S3/0
S3	S2/0	S0/1

用两个 D 触发器。

3. (3 分)写状态转移表:

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1}$	Z	条件
00(S0)	00	0	$\bar{X}$
	01	0	X
01(S1)	11	0	$\bar{X}$
	01	0	X
11(S2)	00	0	$\bar{X}$
	10	0	X
10(S3)	11	0	$\bar{X}$
	00	1	X

4. (3 分)写状态方程、激励方程、输出方程。

$$Q_1^{n+1} = \bar{Q}_1^n Q_0^n \bar{X} + Q_1^n Q_0^n X + Q_1^n \bar{Q}_0^n \bar{X}$$

$$Q_0^{n+1} = \bar{Q}_1^n X + \bar{Q}_1^n \bar{Q}_0^n + Q_1^n \bar{Q}_0^n \bar{X}$$

$$D1 = \bar{Q}_1^n Q_0^n \bar{X} + Q_1^n Q_0^n X + Q_1^n \bar{Q}_0^n \bar{X}$$

$$D0 = \bar{Q}_1^n X + \bar{Q}_1^n \bar{Q}_0^n + Q_1^n \bar{Q}_0^n \bar{X}$$

$$Z = Q_1^n \bar{Q}_0^n X$$

## 七、硬件描述语言设计 (14 分)

```
LIBRARY IEEE;
USE IEEE.std_logic_1164.ALL;
USE IEEE.std_logic_arith.ALL;
```

ENTITY test IS

```
PORT (clk: IN std_logic;
      Y : OUT std_logic);
```

END test;

ARCHITECTURE test\_arc OF test IS

```
signal q : std_logic_vector(3 DOWNTO 0);
```

BEGIN

PROCESS (clk)

BEGIN

```
IF (clk'event AND clk = '1') THEN
```

```
IF (q = "1001") THEN
```

```
q <= "0000";
```

```
else
```

```
q <= q+1;
```

```
END IF;
```

```
END IF;
```

```
END PROCESS;
```

```
PROCESS (q)
```

BEGIN

```
case q is
```

```
WHEN "0000" => Y <= '1';
```

```
WHEN "0010" => Y <= '1';
```

```
WHEN "0100" => Y <= '1';
```

```
WHEN "0110" => Y <= '1';
```

```
WHEN "1000" => Y <= '1';
```

```
WHEN OTHERS => Y <= '0';
```

```
END case
```

```
END PROCESS;
```

```
END test_arc;
```



### 八、小型控制器设计 (14分)

1 (4分) 列出状态转移真值表:

PS	NS		输出
00	11	X	Z1
	01	$\overline{X}Y$	
	10	$\overline{X}\overline{Y}$	
01	00	$\overline{X}$	Z3
	10	X	
10	00		Z1
11	11	$\overline{Y}$	Z2
	10	Y	

2. (4分) 写出多路选择器 MUX 的输入表达式:

$$MAX1(0) = X + \overline{X}Y$$

$$MAX1(1) = X$$

$$MAX1(2) = 0$$

$$MAX1(3) = 1$$

$$MAX0(0) = X + \overline{X}Y$$

$$MAX0(1) = 0$$

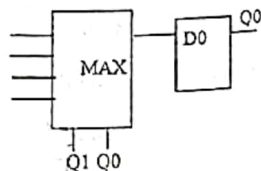
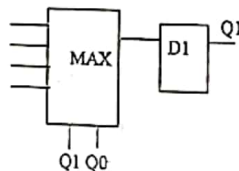
$$MAX0(1) = 0$$

$$MAX0(3) = \overline{Y}$$

3. (3分) 写出控制命令 Z1、Z2、Z3 的表达式:

$$Z1 = \overline{Q_1}\overline{Q_0} + Q_1\overline{Q_0} \quad Z2 = Q_1Q_0 \quad Z3 = \overline{Q_1}Q_0$$

4. (3分) 画出控制电路图。



### 期末试卷 (三) 参考答案

一、选择题 (每小题 1 分, 共 20 分)

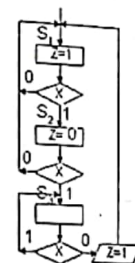
1 C; 2 D; 3 C; 4 C; 5 D; 6 D; 7 D; 8 C; 9 B; 10 B  
11 B; 12 A; 13 B; 14 D; 15 C; 16 C; 17 D; 18 C; 19 C; 20 A

二、简答题 (每小题 6 分, 共 18 分)

1) 布尔代数法、真值表法、逻辑图法、卡诺图法、波形图法、硬件设计语言法等;

2) 头部 (Module)、说明部 (DECLARATIONS)、逻辑描述部 (Equations、State \_ diagram、Truth \_ table); 测试向量部 Test-Vectors、结束部 (End)

3) (每个状态单元 2 分)



ASM流程图

### 三、组合逻辑电路分析 (11分)

某逻辑电路如图 3-1 所示

1、函数 F 的表达式:  $F = \overline{A}\overline{B}C + ABC$

2、真值表:

3、逻辑功能: 该电路输入 A、B、C 全部相同时输出为 1, 否则输出为 0。

输入			输出
A	B	C	Y
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

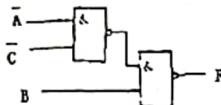


#### 四、组合逻辑设计 (11 分)

1. 真值表
2. 卡诺图, 最简表达式

$$F = B + \overline{A}C$$

3. 画出用与非门实现的电路图



#### 五、时序逻辑分析 (11 分)

$$1. \text{激励方程 } J_0 = XQ_1; K_0 = \overline{X}; J_1 = X; K_1 = \overline{X}$$

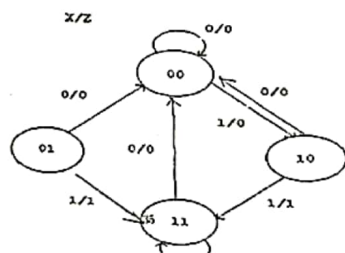
$$\text{输出方程 } Z = XQ_0$$

$$\text{状态方程 } Q_0^{n+1} = X(Q_0 + \overline{Q_0}Q_1); Q_1^{n+1} = X$$

3 状态转移表:

输入	PS		NS		输出
X	$Q_1^n$	$Q_0^n$	$Q_1^{n+1}$	$Q_0^{n+1}$	Z
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	0	0
0	1	1	0	0	0
1	0	0	1	0	0
1	0	1	1	1	
1	1	0	1	1	
1	1	1	1	1	1

状态转移图:



3 序列检测器: 检测到序列 11, 111, 1111, ..... 时输出 1, 检测到 0 时输出 0 (2 分)

#### 六 编程设计 (共 14 分)

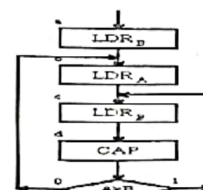
```

LIBRARY IEEE;
USE IEEE.STD_1164.ALL;
ENTITY 8-3CODER IS
PORT (b1,b2,b3,b4,b5,n6,b7,b8:IN-STD_LOGIC;
      out1,out2,out3:OUT-STD_LOGIC);
END 8-3CODER
ARCHITECTURE behave_1 OF 8-3CODER IS
SIGNAL Outmid: OUT-STD_LOGIC_VECTOR (2 DOWNTO 0)
BEGIN
  Outmid(2 DOWNTO 0) <= "111" WHEN b8= '1' ELSE
    "110" WHEN b7= '1' ELSE
    "101" WHEN b6= '1' ELSE
    "100" WHEN b5= '1' ELSE
    "011" WHEN b4= '1' ELSE
    "010" WHEN b3= '1' ELSE
    "001" WHEN b2= '1' ELSE
    "000" WHEN b1= '1' ELSE
    "000";
  out1<= Outmid(0);
  out2<= Outmid(1);
  out3<= Outmid(2);
END behave_1

```

#### 七、控制器设计 (15 分)

1. ASM图(5 分)
2. 控制器激励方程和控制信号表达式 (7 分)
3. 控制器逻辑电路图 (3 分)。



## 期末试卷（四）参考答案

### 一、选择题（每小题1分，共10分）

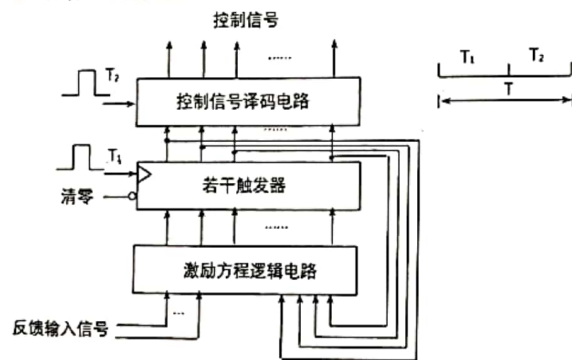
1. A
2. B
3. C
4. D
5. A
6. B
7. C
8. D
9. A
10. B

### 二、填空题（每小题2分，共20分）

1. 余3码
2. 数据输入D、地址控制输入A<sub>1</sub>、A<sub>0</sub>
3. 0、1
4. 输入、原来
5. 多对一、一对多
6. 同一个、状态
7. 米里型
8. D触发器、JK触发器
9. 5
10. 多路选择器型（MUX）、定序型

### 三、简答题（各5分，共10分）

1. （5分）ispLSI1032中通用逻辑块GLB的五种组态模式是标准组态，高速直通组态，异或逻辑组态，单乘积项组态，多模式组态。其中单乘积项组态最快，多模式和异或逻辑组态最慢。
2. （5分）小型控制器的组成框图。



### 四、时序电路分析题（10分）

1. （2分）右图从左到右为A<sub>0</sub> A<sub>1</sub> A<sub>2</sub> A<sub>3</sub>.....A<sub>15</sub>

2. （4分） $F = \overline{A_0 A_1 A_2 A_3 A_4 A_5 A_6 A_7} + \overline{A_8 A_9 A_{10} A_{11} A_{12} A_{13} A_{14} A_{15}}$

$$F = \overline{A_0 A_1 A_2 A_3 A_4 A_5 A_6 A_7} + \overline{A_8 A_9 A_{10} A_{11} A_{12} A_{13} A_{14} A_{15}}$$

3. （4分）当变量A<sub>0</sub> A<sub>1</sub> A<sub>2</sub> A<sub>3</sub>.....A<sub>15</sub>全位0时，输出F=1，由打入信号打入标志触发器保存。F=1标志着三态门输出信号为全0。这是判别总线上代码全为0的电路。

### 五、组合电路设计（10分）

#### 1. 真值表（2分）

A <sub>i</sub>	B <sub>i</sub>	C <sub>i-1</sub>	S <sub>i</sub>	C <sub>i</sub>
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

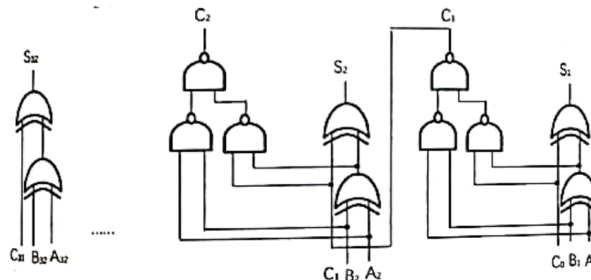
表达式：2分

$$S_i = A_i \oplus B_i \oplus C_i$$

$$C_i = A_i B_i + A_i C_{i-1} + B_i C_{i-1}$$

$$= A_i B_i + (A_i \oplus B_i) C_{i-1}$$

#### 2. 画图（3分）：



3. （3分）32位加法器最长时间为：最低位异或门+31级进位+最高位异或门：  
 $t = 40ns + (20+20)ns \times 31 + 40ns = 1320ns$

### 六、时序电路分析（12分）

#### 1. 写出状态方程（3分）

$$Q_2^{n+1} = D_2 = \overline{Q_2} Q_1$$

$$Q_1^{n+1} = D_1 = Q_2$$

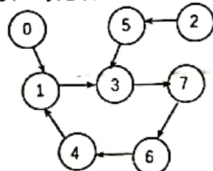
$$Q_0^{n+1} = D_0 = Q_1$$

#### 2. 出状态转移表（3分）



$Q_2^n$	$Q_1^n$	$Q_0^n$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$
0	0	0	0	0	1
0	0	1	0	1	1
0	1	1	1	1	1
1	1	1	1	1	0
1	1	0	1	0	0
1	0	0	0	0	1
0	1	0	1	0	1
1	0	1	0	1	1

3、状态转移图 (3分)



4、此电路是五进制计数器，可自启动 (3分)

七、硬件描述语言设计 (14分)

```

(3分) {
  MODULE counter
  TITLE '3-bit Gray code counter';
  Clock, pin;
  X pin;
  Q2, Q1, Q0 node istype 'reg';
  QSTATE=[Q3, Q2, Q0];
  A=[0, 0, 0];
  A=[0, 0, 1];
  A=[0, 1, 1];
  A=[0, 1, 0];
  A=[1, 1, 0];
  A=[1, 1, 1];
  A=[1, 0, 1];
  A=[1, 0, 0];
  (3分) {
  EQUATIONS
  QSTATE.CLK=Clock;
  (2分) {
  
```

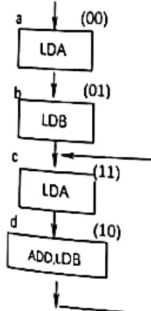
```

State_diagram QSTATE
State A:
  CASE X==1:B;
  X==0:H;
  END CASE
State B:
  CASE X==1:C;
  X==0:A;
  END CASE
.....
State H:
  CASE X==1:A;
  X==0:G;
  END CASE
END
(6分) {
  State_diagram QSTATE
  State A: if X==1 then B else H;
  State B: if X==1 then C else A;
  State C: if X==1 then D else B;
  State D: if X==1 then E else C;
  State E: if X==1 then F else D;
  State F: if X==1 then G else E;
  State G: if X==1 then H else F;
  State H: if X==1 then A else G;
  END
  方案 {
  
```

END

八、小型控制器设计 (14分)

1、ASM流程图 (3分)



2、状态转移真值表 (3分)

PS		NS	
$Q_1^n$	$Q_0^n$	$Q_1^{n+1}$	$Q_0^{n+1}$
a	0	0	1
b	0	1	1





b	0	1	c	1	1
c	1	1	d	1	0
d	1	0	c	1	1

3、写出激励方程和控制信号表达式 (2分+2分)

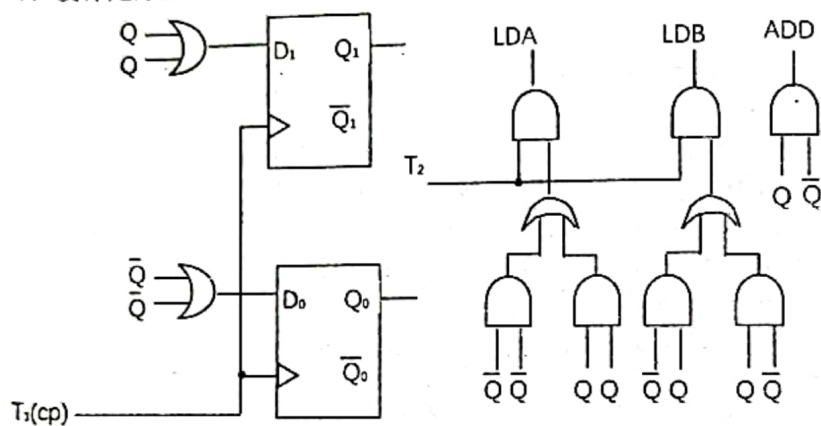
$$D_1 = Q_1^* + Q_0^* \quad D_0 = \overline{Q_0^*} + \overline{Q_1^*}$$

$$LDA = (\overline{Q_1^*} \overline{Q_0^*} + Q_1^* Q_0^*) T_1$$

$$LDB = (\overline{Q_1^*} Q_0^* + Q_1^* \overline{Q_0^*}) T_1$$

$$ADD = Q_1^* \overline{Q_0^*}$$

4、设计定序型控制器电路。(4分)





考的都会 蒙的全对

—— 本资料为内部资料，仅限同学复习参考 ——



扫描全能王 创建