

本科试卷（八）

一、选择题（每小题 2 分，共 30 分）

1. 逻辑函数 $F1 = \sum m(2, 3, 4, 8, 9, 10, 14, 15)$,

$F2 = \overline{A}\overline{B}C + \overline{A}B\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C} + ABC + ACD$ 它们之间的关系是_____。

- A. $F1 = F2$ B. $F1 = \overline{F2}$ C. $\overline{F1} = F2$ D. $F1$ 、 $F2$ 互为对偶式

2. 最小项 $\overline{A}\overline{B}C\overline{D}$ 的逻辑相邻项是_____。

- A. ABCD B. $\overline{A}\overline{B}C\overline{D}$ C. $\overline{A}BCD$ D. $\overline{A}\overline{B}CD$

3. 逻辑函数 $F(ABC) = A \odot C$ 的最小项标准式为_____。

- A. $F = \sum(0, 3)$ B. $F = \overline{A}C + A\overline{C}$
C. $F = m_0 + m_2 + m_5 + m_7$ D. $F = \sum(0, 1, 6, 7)$

4. 一个四输入端与非门，使其输出为 0 的输入变量取值组合有_____种。

- A. 15 B. 8 C. 7 D. 1

5. 设计一个四位二进制码的奇偶位发生器(假定采用偶检验码),需要_____个异或门。

- A. 2 B. 3 C. 4 D. 5

6. 八路数据选择器如图 1-1 所示,该电路实现的逻辑函数是 $F =$ _____。

- A. $\overline{A}\overline{B} + \overline{A}B$ B. $\overline{A}\overline{B} + AB$ C. $A \oplus B$ D. $A + B$

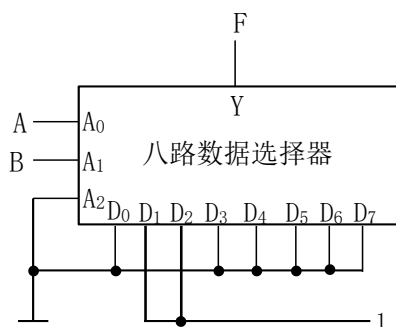


图 1-1

7. 下列电路中,不属于时序逻辑电路的是_____。

- A. 计数器 B. 触发器 C. 寄存器 D. 译码器

8. 对于 JK 触发器,输入 $J=0$, $K=1$, CP 脉冲作用后,触发器的次态应为_____。

- A. 0 B. 1 C. 保持 D. 翻转

9. Moore 型时序电路的输出_____。

- A. 与当前输入有关 B. 与当前状态有关
C. 与当前输入和状态都有关 D. 与当前输入和状态都无关

10. 一个五位的二进制加法计数器, 由 0000 状态开始, 按自然二进制码的顺序计数, 问经过 75 个输入脉冲后, 此计数器的状态为_____。
- A. 01011 B. 11010 C. 11111 D. 10011
11. 有关 ROM 的描述, 下列说法正确的是_____。
- A. 需要定时作刷新损伤 B. 可以读出也可以写入
C. 可读出, 但不能写入 D. 信息读出后, 即遭破坏
12. $1\text{M} \times 1$ 位 RAM 芯片, 其地址线有_____条。
- A. 20 B. 1 C. 19 D. 10
13. PAL 是指_____。
- A. 可编程逻辑阵列 B. 可编程阵列逻辑
C. 通用阵列逻辑 D. 只读存储器
14. FPLA 器件的与门阵列_____, 或门阵列_____。
- A. 不可编程, 不可编程 B. 不可编程, 可编程
C. 可编程, 不可编程 D. 可编程, 可编程
15. 数字系统工作的特点是具有_____。
- A. 周期性 B. 一次性 C. 非周期性 D. 随机性

二、填空题（每小题 2 分，共 18 分）

1. 与运算的布尔代数和 VHDL 表示分别为_____和_____。
2. 利用并项法 $A+A=1$, $ABC+ABC$ 的简化表达式为_____。
3. 译码器的逻辑功能是将某一是可的_____输入信号译成一个输出信号。
4. 组合逻辑电路在结构上不存在输出到输入的反馈, 因此, 输出状态不影响_____状态。
5. 锁存器或触发器再电路上具有两个稳定的物理状态, 我们把输入信号变化之前的状态称为_____, 输入信号变化后的状态称为_____。
6. 用计数器产生 110010 序列, 至少需要_____个触发器。
7. RAM 是随机读写存储器, 优点是读写方便, 缺点是_____。
8. PLD 中采用的可编程连接技术有_____, 反熔丝技术, _____和 SRAM 技术。
9. 数字系统指交互式的以离散形式表示的具有存储, _____和_____能力的逻辑子系统的集合物。

三、组合逻辑设计（12 分）

设计一个多输出组合逻辑电路, 输入为 8421BCD 码, 三个输出分别定义为: L_1 为检测到的输入数字能被 4 整除; L_2 为检测到的输入数字大于等于 3; L_3 为检测到的输入数字小于

7。

- (1) 列出真值表。
- (2) 画出卡诺图并化简，写出最简逻辑函数表达式。
- (3) 画出电路图。(门电路实现或中规模集成电路芯片实现两种方法任选)。

四、时序逻辑设计 (14 分)

用 D 触发器设计同步五进制计数器。已知状态转换过程的编码是 $000 \rightarrow 100 \rightarrow 011 \rightarrow 010 \rightarrow 001 \rightarrow 000$ 。要求：

- (1) 列出状态转移表；
- (2) 写出状态方程；
- (3) 写出激励方程；
- (4) 画出允许自启动的状态转移图。

五、VHDL 语言设计 (12 分)

用 VHDL 设计如图 1 所示的有限状态机。

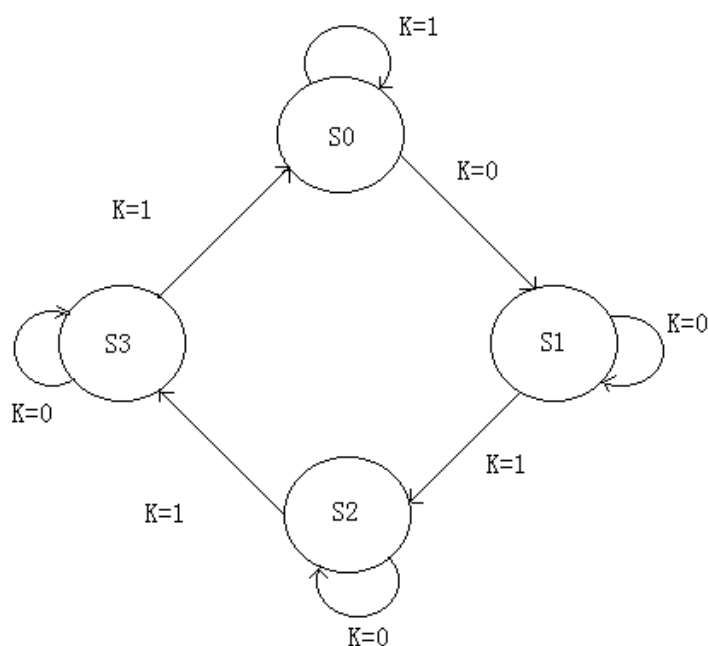


图 1

六、小型控制器设计 (14 分)

某数字系统，它的 ASM 图如图 2 所示，设计多路选择器型控制器电路。

- (1) 列出状态转移真值表
- (2) 写出多路选择器 MUX 的输入表达式
- (3) 画出控制电路图

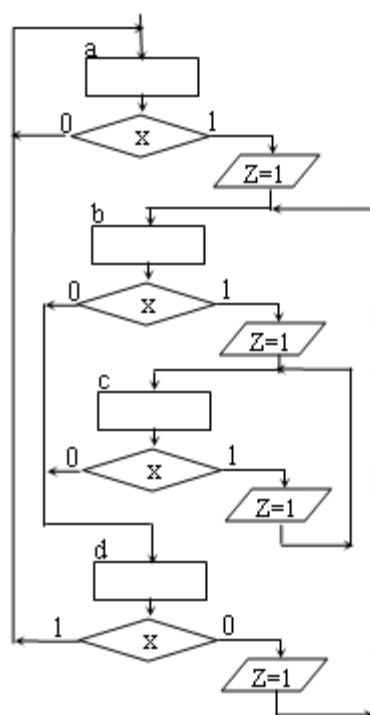


图 2